

PATENT ABSTRACTS OF JAPAN cited reference 3

(11)Publication number : 2002-170921

(43)Date of publication of application : 14.06.2002

(51)Int.CI.

H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/56
H01L 23/12
H01L 23/28

(21)Application number : 2000-367554

(22)Date of filing : 01.12.2000

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

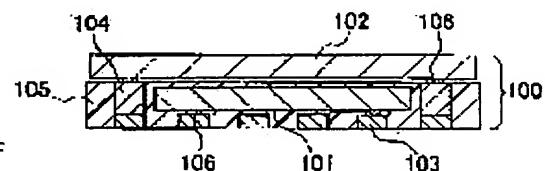
(72)Inventor : YAMASHITA YOSHIHISA
HIRANO KOICHI
NAKATANI SEIICHI
AMAMI KAZUYOSHI
ASAHI TOSHIYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device wherein a plurality of semiconductor chips can be laminated and mounted and miniaturization and reduction of height are enabled as compared with the conventional case, and a method for manufacturing the device.

SOLUTION: This semiconductor device consists of a wiring pattern 103, a first semiconductor chip 101 mounted on the wiring pattern 103, a second semiconductor chip 102 which is arranged on the back side of the first semiconductor chip 101 in such a manner that an electrode surface of the chip 102 faces the chip 101, a leading-out electrode 104 which is protruded from an upper part of the wiring pattern 103 which is positioned outside a peripheral edge of the first semiconductor chip 101 toward the second semiconductor chip 102 and connected with the second semiconductor chip 102, and an insulating layer 105 in which the first semiconductor chip 101 and a part or the whole of the leading-out electrode 104 are buried.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[Claim(s)]

[Claim 1] A circuit pattern and the 1st semiconductor chip mounted in a circuit pattern, The 2nd semiconductor chip which turns an electrode surface to the 1st semiconductor chip, and is installed in the tooth-back side of the 1st semiconductor chip, The ejection electrode connected to a projection and the 2nd semiconductor chip towards the 2nd semiconductor chip from the part on the circuit pattern located outside the periphery of the 1st semiconductor chip, The semiconductor device characterized by having at least the insulating layer which lays some or all of the 1st semiconductor chip and an ejection electrode underground.

[Claim 2] The semiconductor device according to claim 1 with which the 1st semiconductor chip is laid under the insulating layer after only the tooth back has been exposed from the insulating layer.

[Claim 3] The semiconductor device according to claim 1 or 2 which the tooth back of the 1st semiconductor chip has pasted up on the electrode surface of the 2nd semiconductor chip.

[Claim 4] The semiconductor device according to claim 1 to 3 arranged so that the area of the electrode surface of the 2nd semiconductor chip may be larger than the area of the electrode surface of the 1st semiconductor chip and two or more electrodes may be located outside the periphery of the 1st semiconductor chip along with the periphery of this electrode surface at the electrode surface of the 2nd semiconductor chip.

[Claim 5] The metal bump by whom the metal bump who the metal bump is prepared in the electrode of the 1st semiconductor chip and/or the 2nd semiconductor chip, and was prepared in the 1st semiconductor chip through electroconductive glue was prepared in the circuit pattern at the 2nd semiconductor chip is a semiconductor device according to claim 1 to 4 which has fixed to the ejection electrode.

[Claim 6] The metal bump by whom the metal bump who the metal bump is prepared in the electrode of the 1st semiconductor chip and/or the 2nd semiconductor chip, and was prepared in the 1st semiconductor chip through the adhesion sheet or paste which makes it come to distribute a conductive filler was prepared in the circuit pattern at the 2nd semiconductor chip is a semiconductor device according to claim 1 to 4 which has fixed to the ejection electrode.

[Claim 7] The metal bump by whom the metal bump is prepared in the electrode of the 1st semiconductor chip and/or the 2nd semiconductor chip, and the metal bump prepared in the 1st semiconductor chip with the sheet or paste formed with thermosetting resin was prepared in the circuit pattern at the 2nd semiconductor chip is a semiconductor device according to claim 1, to 4 which has fixed to the ejection electrode.

[Claim 8] It is the semiconductor device according to claim 1 to 7 which the circuit pattern is prepared in one field of a wiring substrate, and has an external connection terminal for connecting a wiring substrate with the exterior at least and by which the external connection terminal is connected with the circuit pattern.

[Claim 9] The structure which has at least a circuit pattern, the semiconductor chip mounted on a circuit pattern, and the insulating layer which lays some or all of a semiconductor chip underground Are the semiconductor device turns the electrode surface of the semiconductor chip of each structure in the same direction, and it comes to carry out a laminating, and the area of the electrode surface of the semiconductor chip of the structure located in the upper layer Each structure other than the structure which is large and serves as the maximum upper layer from the area of the electrode surface of the semiconductor chip of the structure located in the lower layer From the part on the circuit pattern located outside the periphery of a semiconductor chip, above A projection, And it is the semiconductor device which the part has the ejection electrode exposed from an insulating layer, and is characterized by connecting the ejection electrode of each structure with the circuit pattern of the structure located in the upper layer in the part exposed from the insulating layer.

[Claim 10] It is the semiconductor device according to claim 9 which the metal bump is prepared in the electrode of a semiconductor chip, and the metal bump has fixed to the circuit pattern through

electroconductive glue.

[Claim 11] It is the semiconductor device according to claim 9 which has fixed to the circuit pattern by preparing the metal bump in the electrode of a semiconductor chip through the adhesion sheet or paste with which a metal bump makes it come to distribute a conductive filler.

[Claim 12] It is the semiconductor device according to claim 9 which has fixed to the circuit pattern by preparing the metal bump in the electrode of a semiconductor chip with the sheet or paste by which the metal bump was formed with thermosetting resin.

[Claim 13] It is the semiconductor device according to claim 9 to 12 which the circuit pattern which constitutes the structure of the lowest layer is prepared in one field of a wiring substrate, and has an external connection terminal for connecting a wiring substrate with the exterior at least and by which the external connection terminal is connected with this circuit pattern.

[Claim 14] The semiconductor device according to claim 1 to 13 with which the circuit pattern is formed by at least one chosen from a metallic foil, a leadframe, and a conductive resin constituent.

[Claim 15] The semiconductor device according to claim 1 to 14 currently formed with the ingredient with which an insulating layer contains an inorganic filler and insulating resin at least.

[Claim 16] The semiconductor device according to claim 15 whose inorganic filler is the thing which is chosen from an alumina, a magnesia, boron nitride, nitriding aluminum, silicon nitride, and a silica, and which contains a kind at least.

[Claim 17] The semiconductor device according to claim 15 which is the thing as which insulating resin is chosen from an epoxy resin, phenol resin, a fluororesin, cyanate resin, polyphenylene oxide resin, and polyphenylene ether resin, and which contains a kind at least.

[Claim 18] Are the manufacture approach of a semiconductor device according to claim 1 to 8, and a circuit pattern is formed on a carrier layer. The process which forms the ejection electrode which projects towards the upper part into the part on the circuit pattern located in the outside of the periphery of the 1st semiconductor chip when flip chip mounting of the 1st semiconductor chip is carried out at a circuit pattern, The manufacture approach of the semiconductor device characterized by having at least the process which carries out flip chip mounting of the 1st semiconductor chip on a circuit pattern, the process which forms an insulating layer on a carrier layer, and the process which carries out flip chip mounting of the 2nd semiconductor chip at the tip of an ejection electrode.

[Claim 19] Are the manufacture approach of a semiconductor device according to claim 1 to 8, and a circuit pattern is formed on a carrier layer. The process which forms an insulating layer on a carrier layer so that flip chip mounting of the 1st semiconductor chip may be carried out and the 1st some or all of a semiconductor chip may be laid underground on a circuit pattern, Until a circuit pattern is exposed at least from the electrode of the 2nd semiconductor chip, and the location on the insulating layer which counters, when the 2nd semiconductor chip is installed The process which forms a hole in an insulating layer, and the process which forms the ejection electrode which fills up the formed hole with a conductive ingredient and connects the 2nd semiconductor chip and circuit pattern to it, The manufacture approach of the semiconductor device characterized by having at least the process which carries out flip chip mounting of the 2nd semiconductor chip at the tip of an ejection electrode.

[Claim 20] Are the manufacture approach of a semiconductor device according to claim 1 to 8, and a circuit pattern is formed on a carrier layer. The process which forms the ejection electrode which projects towards the upper part into the part on the circuit pattern located in the outside of the periphery of the 1st semiconductor chip when flip chip mounting of the 1st semiconductor chip is carried out at a circuit pattern, The process pasted up so that the electrode of the 2nd semiconductor chip may expose the tooth back of the 1st semiconductor chip, and the electrode surface of the 2nd semiconductor chip, The manufacture approach of the semiconductor device characterized by having at least the process which takes out the 2nd semiconductor chip on a circuit pattern, and carries out flip chip mounting of the 1st semiconductor chip at the tip of an electrode, respectively, and the process which forms an insulating layer on a carrier layer.

[Claim 21] The manufacture approach of a semiconductor device according to claim 1 to 8, and carries out flip chip mounting of the 1st semiconductor chip on a metal layer. The process which forms an insulating layer on a metal layer so that the 1st semiconductor chip may be laid underground, Until a circuit pattern is exposed at least from the electrode of the 2nd semiconductor chip, and the location on the insulating layer which counters, when the 2nd semiconductor chip is installed, the process which etches a metal layer and forms a circuit pattern. The process which forms a hole in an insulating layer, and the process which forms the ejection electrode which fills up the formed hole with a conductive ingredient and connects the 2nd semiconductor chip and circuit pattern to it, The manufacture approach of the semiconductor device characterized by having at least the process which carries out flip chip mounting of the 2nd semiconductor chip at the tip of an ejection electrode.

[Claim 22] The manufacture approach of a semiconductor device given in either of claims 18, 19, or 21 which have the process which performs removal processing to an insulating layer and the 1st semiconductor chip at least from the top-face side of an insulating layer at the tip of an ejection electrode in front of the process by which flip chip mounting of the 2nd semiconductor chip is carried out, and makes such thickness small.

[Claim 23] The manufacture approach of a semiconductor device according to claim 18 to 20 of having the process which exfoliates a carrier layer.

[Claim 24] The manufacture approach of a semiconductor device according to claim 18 to 20 that a carrier layer is a wiring substrate.

[Claim 25] The manufacture approach of a semiconductor device according to claim 18 to 24 of having the process which two or more semiconductor devices are formed where an insulating layer is shared at least, and is separated for every semiconductor device.

[Claim 26] It is the manufacture approach of a semiconductor device according to claim 9 to 13. Form a circuit pattern on a carrier layer, carry out flip chip mounting of the semiconductor chip on a circuit pattern, form an insulating layer on a carrier layer so that some or all of a semiconductor chip may be laid underground, and a carrier layer is exfoliated. A circuit pattern is formed on the process which forms the structure used as the maximum upper layer, and a carrier layer. Into the part on the circuit pattern located in the outside of the periphery of a semiconductor chip when flip chip mounting of the semiconductor chip is carried out at a circuit pattern Form the ejection electrode which projects towards the upper part, carry out flip chip mounting of the semiconductor chip on a circuit pattern, form an insulating layer on a carrier layer so that it may take out with a semiconductor chip and an electrode may be laid underground, and a carrier layer is exfoliated. The electrode surface of the semiconductor chip of the process which forms the structures other than the structure used as the maximum upper layer, and each structure is turned in the same direction. The manufacture approach of the semiconductor device characterized by having at least the process which carries out the laminating of all the structures as the ejection electrode of each structure other than the structure used as the maximum upper layer is connected with the circuit pattern of the structure located in the upper layer from this structure.

[Claim 27] It is the manufacture approach of a semiconductor device according to claim 9 to 13. Form a circuit pattern on a carrier layer, carry out flip chip mounting of the semiconductor chip on a circuit pattern, form an insulating layer on a carrier layer so that some or all of a semiconductor chip may be laid underground, and a carrier layer is exfoliated. A circuit pattern is formed on the process which forms the structure used as the maximum upper layer, and a carrier layer. An insulating layer is formed on a carrier layer so that flip chip mounting of the semiconductor chip may be carried out and some or all of a semiconductor chip may be laid underground on a circuit pattern. Until a circuit pattern is exposed at least from the electrode of the semiconductor chip of the structure located in the upper layer, and the location on this insulating layer that counters, when the laminating of each structure is carried out Form the ejection electrode which forms a hole in this insulating layer, fills up

the formed hole with a conductive ingredient, and projects upward, and a carrier layer is exfoliated. The electrode surface of the process which forms the structures other than the structure used as the maximum upper layer, and the semiconductor chip of each structure is turned in the same direction. The manufacture approach of the semiconductor device characterized by having at least the process which carries out the laminating of all the structures as the ejection electrode of each structure other than the structure used as the maximum upper layer is connected with the circuit pattern of the structure located in the upper layer from this structure.

[Claim 28] It is the manufacture approach of a semiconductor device according to claim 9 to 13. An insulating layer is formed on a metal layer so that flip chip mounting of the semiconductor chip may be carried out and a semiconductor chip may be laid underground on a metal layer. Flip chip mounting of the semiconductor chip is carried out on the process which etches a metal layer, forms a circuit pattern and forms the structure used as the maximum upper layer, and a metal layer. Form an insulating layer on a metal layer so that a semiconductor chip may be laid underground, and etch a metal layer and a circuit pattern is formed. Until a circuit pattern is exposed at least from the electrode of the semiconductor chip of the structure located in the upper layer, and the location on this insulating layer that counters, when the laminating of each structure is carried out The ejection electrode which forms a hole in this insulating layer, fills up the formed hole with a conductive ingredient, and projects upward is formed. The electrode surface of the semiconductor chip of the process which forms the structures other than the structure used as the maximum upper layer, and each structure is turned in the same direction. The manufacture approach of the semiconductor device characterized by having at least the process which carries out the laminating of all the structures as the ejection electrode of each structure other than the structure used as the maximum upper layer is connected with the circuit pattern of the structure located in the upper layer from this structure.

[Claim 29] The manufacture approach of a semiconductor device according to claim 26 to 28 that the carrier layer for forming the structure located in the lowest layer is a wiring substrate.

[Claim 30] The manufacture approach of a semiconductor device given in either of claims 19, 21, 27, or 28 which the conductive ingredient with which the hole formed in the insulating layer is filled up is [claims] a conductive resin constituent, and restoration of the conductive ingredient to this hole is performed [claims] by screen-stencil, and heat and stiffen this conductive resin constituent after screen-stencil.

[Claim 31] The process which carries out the laminating of the stratum disjunctum on the 1st metal layer used as a carrier layer, and carries out the laminating of the 2nd metal layer which serves as a circuit pattern on stratum disjunctum, The process which forms the 3rd metal layer by plating on the 2nd metal layer, and the process which etches and takes out the 3rd metal layer and forms an electrode, The manufacture approach of a semiconductor device given in either of claims 18, 20, or 26 in which it takes out with a circuit pattern and an electrode is formed by the approach of having at least the process which etches the 2nd metal layer and forms a circuit pattern.

[Claim 32] So that the process which carries out the laminating of the stratum disjunctum on the 1st metal layer used as a carrier layer, and carries out the laminating of the 2nd metal layer which serves as a circuit pattern on stratum disjunctum, and the field where formation of the ejection electrode in the 2nd metal layer was meant may be exposed The process which forms the 3rd metal layer which takes out on the process which forms the plating resist film on the 2nd metal layer, and the 2nd metal layer exposed from the plating resist film, and serves as an electrode by plating, The manufacture approach of a semiconductor device given in either of claims 18, 20, or 26 in which it takes out with a circuit pattern and an electrode is formed by the approach of having at least the process which exfoliates the plating resist film, and the process which etches the 2nd metal layer and forms a circuit pattern.

[Claim 33].So that the process which carries out the laminating of the stratum disjunctum on the 1st

metal layer used as a carrier layer, and carries out the laminating of the 2nd metal layer which serves as a circuit pattern on stratum disjunctum, and the field where formation of the ejection electrode in the 2nd metal layer was meant may be exposed The process which forms the 3rd metal layer which takes out on the 2nd metal layer exposed from the process which forms the 1st plating resist film on the 2nd metal layer, and the 1st plating resist film, and serves as an electrode by plating, So that the exfoliating process, the field used as the circuit pattern on the 2nd metal layer, and the top face of the 3rd metal layer may expose the 1st plating resist film On the process which forms the 2nd plating resist film, and the top face of the 2nd metal layer exposed from the 2nd plating resist film, and the 3rd metal layer, by plating The process which forms the 4th metal layer with the metallic material which has a stable metal component chemically to the etching reagent which corrodes the 2nd metal layer and the 3rd metal layer, By the approach of having at least the process which exfoliates the 2nd plating resist film, and the process which etches the 2nd metal layer by using the 4th metal layer as an etching mask, and forms a circuit pattern The manufacture approach of a semiconductor device given in either of claims 18, 20, or 26 in which it takes out with a circuit pattern and an electrode is formed.

[Claim 34] The manufacture approach of a semiconductor device given in either of claims 18, 20, or 26 in which it takes out by at least one approach chosen from plating, vacuum deposition, and screen printing, and an electrode is formed.

[Claim 35] The manufacture approach of a semiconductor device according to claim 26 to 28 of having the process which the structure from which two or more semiconductor devices constitute each semiconductor device is formed, and separates for every semiconductor device where the structure and the insulating layer which constitute another semiconductor device are shared.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to two or more semiconductor device with which it comes to carry out the laminating of the semiconductor chip and its manufacture approach.

[0002]

[Description of the Prior Art] The densification of a semiconductor device (semiconductor package), a miniaturization, and thin shape-ization are needed with the demand of high-performance-izing of electronic equipment in recent years, and a miniaturization. For this reason, CSP (Chip Scale Package) which is the semiconductor device mostly miniaturized by even the chip size is spreading.

[0003] Moreover, in order to attain the densification of a semiconductor device, and a miniaturization, many flip chip mounting is adopted as mounting to the substrate of a semiconductor chip. Flip chip mounting is a method which mounts a semiconductor chip in the state of a face down on a circuit pattern. Compared with the wire-bonding method, the connection length of the electrode of a semiconductor chip and the input/output terminal electrode on a circuit pattern can be shortened in flip chip mounting, and there is an advantage that it can respond also to the miniaturization of a semiconductor chip in recent years and inter-electrode ** pitch-ization by the increment in the number of connection terminals in it. For this reason, flip chip mounting can be said to be the mounting approach suitable for densification and the miniaturized semiconductor device.

[0004] By the way, in a portable information device etc., the multi chip package which arranges and comes to mount two or more semiconductor chips in the direction of a flat surface for the purpose of the addition of added value, such as memory, or the increment in capacity is used. However, in this multi chip package, there is a problem that a package smaller than the gross area of the semiconductor chip to mount is unproducible. Therefore, the structure called the stacked package which carried out the laminating of two or more semiconductor chips, and raised packaging density is proposed in order to aim at reduction of a component-side product (JP,5-90486,A etc.). Furthermore, what CSP-ized the stacked package is proposed (JP,11-204720,A etc.).

[0005] On the other hand, in a thin device called the information terminal of for example, card size

etc., thin-shape-izing of a semiconductor device and low back-ization are desired, and it is required that the semiconductor chip itself should be made thin by polish. However, making a semi-conductor wafer thin by polish causes wafer crack generating, and thickness of a mechanical strength is [a semiconductor chip 100 micrometers or less] weak, and it is not [polish of each semiconductor chip is more difficult, and] efficient. Furthermore, since the semiconductor chip obtained by thin-shape-izing has the weak mechanical strength, it has a possibility that a load cannot be applied at the time of mounting, and it may be destroyed in flip chip mounting, and handling is difficult for it.

[0006] For this reason, after carrying out flip chip mounting of the semiconductor chip and laying a semiconductor chip under the circuit pattern with thermosetting resin and the mixture of an inorganic filler, it grinds until it becomes desired thickness from the tooth-back side of a semiconductor chip, and the approach of making a semiconductor chip thin is also proposed. Since according to this approach it grinds where the resin seal of the semiconductor chip after flip chip mounting is carried out, a semiconductor device with thin thickness can be obtained without adding a mechanical shock to a semiconductor chip. Furthermore, according to this approach, contamination of the semiconductor chip at the time of polish can also be prevented.

[0007]

[Problem(s) to be Solved by the Invention] However, in an above-mentioned stacked package, it is necessary to use wire bonding for connection with the semiconductor chip and circuit pattern which are located in the upper layer at the time of a laminating. For this reason, the tooth space for wire bonding must be secured in the perimeter of a semiconductor chip, and especially as required a tooth space as the semiconductor chip of many pins becomes large, and has the problem of not being suitable for a miniaturization. Furthermore, the wire for connection (metal thin line) becomes long, and the problem that the effect of the inductance component by the metal thin line is large also has it with the semiconductor chip which carries out high-speed operation. Moreover, in order to project a part of wire rather than the top face of the upper semiconductor chip, wire bonding serves as hindrance of thin-shape-izing of a semiconductor device, and the reduction in the back.

[0008] The purpose of this invention is to offer the semiconductor device which solves the above-mentioned technical problem, carries out the laminating of two or more semiconductor chips, and can mount them, and can attain miniaturization and thin shape-ization compared with the former, and its manufacture approach.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the 1st mode of the semiconductor device concerning this invention A circuit pattern and the 1st semiconductor chip mounted in a circuit pattern, The 2nd semiconductor chip which turns an electrode surface to the 1st semiconductor chip, and is installed in the tooth-back side of the 1st semiconductor chip, The ejection electrode connected to a projection and the 2nd semiconductor chip towards the 2nd semiconductor chip from the part on the circuit pattern located outside the periphery of the 1st semiconductor chip, It is characterized by having at least the insulating layer which lays some or all of the 1st semiconductor chip and an ejection electrode underground.

[0010] Since it is not necessary to use wire bonding for connection with the 2nd semiconductor chip and circuit pattern which become an upper layer side at the time of a laminating, and to provide the tooth space for wire bonding for the perimeter of a semiconductor chip by this configuration, a miniaturization can be attained. Furthermore, compared with the case where wire bonding is used, the connection length of the electrode of the 2nd semiconductor chip and the input/output terminal electrode on a circuit pattern can be shortened, and even when the semiconductor chip which carries out high-speed operation is used, it becomes possible to make effect of an inductance component small.

[0011] In the semiconductor device concerning the 1st mode of the above, the 1st semiconductor chip is in the condition which only the tooth back exposed from the insulating layer, and being laid

under the insulating layer is desirable. In this case, since thickness of an insulating layer can be made thinner, it becomes a mode suitable for thin shape-ization.

[0012] Furthermore, in the 1st mode of the above, it is desirable that the tooth back of the 1st semiconductor chip has pasted the electrode surface of the 2nd semiconductor chip. In this case, even if the thickness of the 1st semiconductor chip is thin, improvement in a mechanical strength can be aimed at.

[0013] In the 1st mode of the above, the area of the electrode surface of the 2nd semiconductor chip is larger than the area of the electrode surface of the 1st semiconductor chip, and it is desirable to the electrode surface of the 2nd semiconductor chip that two or more electrodes are arranged along with the periphery of this electrode surface so that it may be located outside the periphery of the 1st semiconductor chip. In this case, since the electrode of the 2nd semiconductor chip and the input/output terminal electrode on a circuit pattern can be made to counter and these connection length can be performed with the minimum distance, it becomes possible to make still smaller effect of the inductance component at the time of using the semiconductor chip which carries out high-speed operation.

[0014] As for the metal bump by whom the metal bump who the metal bump is prepared in the electrode of the 1st semiconductor chip and/or the 2nd semiconductor chip, and was prepared in the 1st semiconductor chip through electroconductive glue was prepared in the circuit pattern at the 2nd semiconductor chip, in the 1st mode of the above, having fixed to the ejection electrode is desirable. In this case, compared with the case where it connects with a pewter, it can connect at low temperature and the damage by the heat given to a semiconductor chip can be decreased.

[0015] As for the metal bump by whom the metal bump who the metal bump is prepared in the electrode of the 1st semiconductor chip and/or the 2nd semiconductor chip, and was prepared in the 1st semiconductor chip through the adhesion sheet or paste which makes it come to distribute a conductive filler was prepared in the circuit pattern at the 2nd semiconductor chip, in the 1st mode of the above, having fixed to the ejection electrode is desirable. In this case, between the 1st semiconductor chip and circuit patterns can be closed with resin to coincidence, and it can respond to a still more detailed pitch.

[0016] As for the metal bump by whom the metal bump is prepared in the electrode of the 1st semiconductor chip and/or the 2nd semiconductor chip, and the metal bump prepared in the 1st semiconductor chip with the sheet or paste formed with thermosetting resin was prepared in the circuit pattern at the 2nd semiconductor chip, in the 1st mode of the above, having fixed to the ejection electrode is desirable. In this case, low cost connection is attained.

[0017] In the 1st mode of the above, the circuit pattern is prepared in one field of a wiring substrate, it has an external connection terminal for connecting a wiring substrate with the exterior at least, and, as for an external connection terminal, connecting with a circuit pattern is desirable. In this case, a semiconductor device can be used as BGA (Ball Grid Array), and things can be easily mounted and carried out to another substrate with a facility of a reflow etc.

[0018] The 2nd mode of the semiconductor device applied to this invention in order to attain the above-mentioned purpose The structure which has at least a circuit pattern, the semiconductor chip mounted on a circuit pattern, and the insulating layer which lays some or all of a semiconductor chip underground Are the semiconductor device turns the electrode surface of the semiconductor chip of each structure in the same direction, and it comes to carry out a laminating, and the area of the electrode surface of the semiconductor chip of the structure located in the upper layer Each structure other than the structure which is large and serves as the maximum upper layer from the area of the electrode surface of the semiconductor chip of the structure located in the lower layer From the part on the circuit pattern located outside the periphery of a semiconductor chip, above A projection, And the part has the ejection electrode exposed from an insulating layer, and it is characterized by connecting the ejection electrode of each structure with the circuit pattern of the structure located in

the upper layer in the part exposed from the insulating layer.

[0019] According to this configuration, since the laminating of further two or more semiconductor chips can be carried out compared with the 1st mode, higher-density mounting can be performed easily.

[0020] In the 2nd mode of the above, the metal bump is prepared in the electrode of a semiconductor chip, and, as for a metal bump, it is desirable to have fixed to the circuit pattern through electroconductive glue. In this case, compared with the case where it connects with a pewter, it can connect at low temperature and the damage by the heat given to a semiconductor chip can be decreased.

[0021] In the 2nd mode of the above, the metal bump is prepared in the electrode of a semiconductor chip, and, as for a metal bump, it is desirable to have fixed to the circuit pattern through the adhesion sheet or paste which makes it come to distribute a conductive filler. In this case, between the 1st semiconductor chip and circuit patterns can be closed with resin to coincidence, and it can respond to a still more detailed pitch.

[0022] In the 2nd mode of the above, the metal bump is prepared in the electrode of a semiconductor chip, and, as for a metal bump, it is desirable to have fixed to the circuit pattern with the sheet or paste formed with thermosetting resin. In this case, low cost connection is attained.

[0023] In the 2nd mode of the above, the circuit pattern which constitutes the structure of the lowest layer is prepared in one field of a wiring substrate, it has an external connection terminal for connecting a wiring substrate with the exterior at least, and, as for an external connection terminal, connecting with a circuit pattern is desirable. In this case, a semiconductor device can be used as BGA (Ball Grid Array), and things can be easily mounted and carried out to another substrate with a facility of a reflow etc.

[0024] In the 1st and 2nd modes of the above, it is desirable that the circuit pattern is formed by at least one chosen from a metallic foil, a leadframe, and a conductive resin constituent. Thereby, a detailed circuit pattern can be formed with low electric resistance.

[0025] In the 1st and 2nd modes of the above, it is desirable that the insulating layer is formed with the ingredient which contains an inorganic filler and insulating resin at least. In this case, adjustment of the thermal conductivity of the insulating layer which lays a semiconductor chip underground, a line coefficient of thermal expansion, a dielectric constant, etc. is attained by selection of an inorganic filler.

[0026] Furthermore, as for an inorganic filler, it is desirable that it is the thing which is chosen from an alumina, a magnesia, boron nitride, nitriding aluminum, silicon nitride, and a silica and which contains a kind at least. Such an inorganic filler is excellent in thermal conductivity, and can raise the heat dissipation nature of the insulating layer which lays a semiconductor chip underground. Furthermore, low cost-ization can be attained when an alumina is used as an inorganic filler. Moreover, when a magnesia is used as an inorganic filler, the line coefficient of thermal expansion of an insulating layer can be enlarged. On the contrary, as an inorganic filler, when boron nitride, nitriding aluminum, and silicon nitride are used, the line coefficient of thermal expansion of an insulating layer can be made low. Moreover, when a silica is used as an inorganic filler, the dielectric constant of an insulating layer can be made small.

[0027] Moreover, as for the above-mentioned insulating resin, it is desirable that it is the thing which is chosen from an epoxy resin, phenol resin, a fluororesin, cyanate resin, polyphenylene oxide resin, and polyphenylene ether resin and which contains a kind at least. Thereby, thermal resistance, and electric insulation and a RF property can be raised.

[0028] In order to attain the purpose of above-mentioned this invention, the 1st mode of the manufacture approach of the semiconductor device concerning this invention Are the approach of manufacturing the 1st mode of the above-mentioned semiconductor device, and a circuit pattern is formed on a carrier layer. The process which forms the ejection electrode which projects towards the

upper part into the part on the circuit pattern located in the outside of the periphery of the 1st semiconductor chip when flip chip mounting of the 1st semiconductor chip is carried out at a circuit pattern, It is characterized by having at least the process which carries out flip chip mounting of the 1st semiconductor chip on a circuit pattern, the process which forms an insulating layer on a carrier layer, and the process which carries out flip chip mounting of the 2nd semiconductor chip at the tip of an ejection electrode.

[0029] In order to attain the purpose of above-mentioned this invention, the 2nd mode of the manufacture approach of the semiconductor device concerning this invention Are the approach of manufacturing the 1st mode of the above-mentioned semiconductor device, and a circuit pattern is formed on a carrier layer. The process which forms an insulating layer on a carrier layer so that flip chip mounting of the 1st semiconductor chip may be carried out and the 1st some or all of a semiconductor chip may be laid underground on a circuit pattern, Until a circuit pattern is exposed at least from the electrode of the 2nd semiconductor chip, and the location on the insulating layer which counters, when the 2nd semiconductor chip is installed It is characterized by having the process which forms a hole in an insulating layer, the process which forms the ejection electrode which fills up the formed hole with a conductive ingredient and connects the 2nd semiconductor chip and circuit pattern to it, and the process which carries out flip chip mounting of the 2nd semiconductor chip at the tip of an ejection electrode at least. According to this approach, even if it is the case that the thickness of an insulating layer is large, an ejection electrode can be formed certainly.

[0030] In order to attain the purpose of above-mentioned this invention, the 3rd mode of the manufacture approach of the semiconductor device concerning this invention Are the approach of manufacturing the 1st mode of the above-mentioned semiconductor device, and a circuit pattern is formed on a carrier layer. The process which forms the ejection electrode which projects towards the upper part into the part on the circuit pattern located in the outside of the periphery of the 1st semiconductor chip when flip chip mounting of the 1st semiconductor chip is carried out at a circuit pattern, The process which pastes up the tooth back of the 1st semiconductor chip, and the electrode surface of the 2nd semiconductor chip so that the electrode of the 2nd semiconductor chip may be exposed, It is characterized by having at least the process which takes out the 2nd semiconductor chip on a circuit pattern, and carries out flip chip mounting of the 1st semiconductor chip at the tip of an electrode, respectively, and the process which forms an insulating layer on a carrier layer. According to this approach, a semiconductor device can be manufactured more easily. Furthermore, since these are stuck even if it is the case where thickness of the 1st semiconductor chip and the 2nd semiconductor chip is made thin, these mechanical strengths can be improved and the handling at the time of mounting can be performed with an easy thing.

[0031] In order to attain the purpose of above-mentioned this invention, the 4th mode of the manufacture approach of the semiconductor device concerning this invention The process which is the approach of manufacturing the 1st mode of the above-mentioned semiconductor device, and carries out flip chip mounting of the 1st semiconductor chip on a metal layer, The process which forms an insulating layer on a metal layer so that the 1st semiconductor chip may be laid underground, Until a circuit pattern is exposed at least from the electrode of the 2nd semiconductor chip, and the location on the insulating layer which counters, when the 2nd semiconductor chip is installed, the process which etches a metal layer and forms a circuit pattern It is characterized by having the process which forms a hole in an insulating layer, the process which forms the ejection electrode which fills up the formed hole with a conductive ingredient and connects the 2nd semiconductor chip and circuit pattern to it, and the process which carries out flip chip mounting of the 2nd semiconductor chip at the tip of an ejection electrode at least.

[0032] As for the 1st, 2nd, and 4th modes of the manufacture approach of the semiconductor device concerning above-mentioned this invention, it is desirable to have the process which performs removal processing to an insulating layer and the 1st semiconductor chip at least from the top-face

side of an insulating layer at the tip of an ejection electrode in front of the process by which flip chip mounting of the 2nd semiconductor chip is carried out, and makes such thickness small. In this case, thin shape-ization of a semiconductor device can be attained.

[0033] As for the 1st of the manufacture approach of the semiconductor device concerning above-mentioned this invention - the 3rd mode, it is desirable to have the process which exfoliates a carrier layer further. Moreover, as for the 1st of the manufacture approach of the semiconductor device concerning above-mentioned this invention - the 3rd mode, it is desirable that a carrier layer is a wiring substrate. Furthermore, two or more semiconductor devices are formed where an insulating layer is shared at least, and as for the 1st of the manufacture approach of the semiconductor device concerning above-mentioned this invention - the 4th mode, it is desirable to have the process separated for every semiconductor device. In this case, since many semiconductor devices are producible at once, the fall of the cost of a semiconductor device can be aimed at.

[0034] In order to attain the purpose of above-mentioned this invention, the 5th mode of the manufacture approach of the semiconductor device concerning this invention Are the approach of manufacturing the 2nd mode of the above-mentioned semiconductor device, and a circuit pattern is formed on a carrier layer. Carry out flip chip mounting of the semiconductor chip on a circuit pattern, form an insulating layer on a carrier layer so that a semiconductor chip may be laid underground, and a carrier layer is exfoliated. A circuit pattern is formed the process which forms the structure used as the maximum upper layer, and on a carrier layer. Into the part on the circuit pattern located in the outside of the periphery of a semiconductor chip when flip chip mounting of the semiconductor chip is carried out at a circuit pattern Form the ejection electrode which projects towards the upper part, carry out flip chip mounting of the semiconductor chip on a circuit pattern, form an insulating layer on a carrier layer so that it may take out with a semiconductor chip and an electrode may be laid underground, and a carrier layer is exfoliated. The electrode surface of the process which forms the structures other than the structure used as the maximum upper layer, and the semiconductor chip of each structure is turned in the same direction. It is characterized by having at least the process which carries out the laminating of all the structures, as the ejection electrode of each structure other than the structure used as the maximum upper layer is connected with the circuit pattern of the structure located in the upper layer from this structure. In this case, the semiconductor device with which the semiconductor chip was multilayered is easily producible.

[0035] In order to attain the purpose of above-mentioned this invention, the 6th mode of the manufacture approach of the semiconductor device concerning this invention Are the approach of manufacturing the 2nd mode of the above-mentioned semiconductor device, and a circuit pattern is formed on a carrier layer. Form an insulating layer on a carrier layer so that flip chip mounting of the semiconductor chip may be carried out and some or all of a semiconductor chip may be laid underground on a circuit pattern, and a carrier layer is exfoliated. A circuit pattern is formed the process which forms the structure used as the maximum upper layer, and on a carrier layer. An insulating layer is formed on a carrier layer so that flip chip mounting of the semiconductor chip may be carried out and some or all of a semiconductor chip may be laid underground on a circuit pattern. Until a circuit pattern is exposed at least from the electrode of the semiconductor chip of the structure located in the upper layer, and the location on this insulating layer that counters, when the laminating of each structure is carried out Form the ejection electrode which forms a hole in this insulating layer, fills up the formed hole with a conductive ingredient, and projects upward, and a carrier layer is exfoliated. The electrode surface of the process which forms the structures other than the structure used as the maximum upper layer, and the semiconductor chip of each structure is turned in the same direction. It is characterized by having at least the process which carries out the laminating of all the structures, as the ejection electrode of each structure other than the structure used as the maximum upper layer is connected with the circuit pattern of the structure located in the upper layer from this structure. Even when the thickness of the insulating layer which constitutes the structure is large in

this case, an ejection electrode can be formed certainly.

[0036] In order to attain the purpose of above-mentioned this invention, the 7th mode of the manufacture approach of the semiconductor device concerning this invention Are the approach of manufacturing the 2nd mode of the above-mentioned semiconductor device, form an insulating layer on a metal layer so that flip chip mounting of the semiconductor chip may be carried out and a semiconductor chip may be laid underground on a metal layer, and etch a metal layer and a circuit pattern is formed. Flip chip mounting of the semiconductor chip is carried out the process which forms the structure used as the maximum upper layer, and on a metal layer. Form an insulating layer on a metal layer so that a semiconductor chip may be laid underground, and etch a metal layer and a circuit pattern is formed. Until a circuit pattern is exposed at least from the electrode of the semiconductor chip of the structure located in the upper layer, and the location on this insulating layer that counters, when the laminating of each structure is carried out The ejection electrode which forms a hole in this insulating layer, fills up the formed hole with a conductive ingredient, and projects upward is formed. The electrode surface of the process which forms the structures other than the structure used as the maximum upper layer, and the semiconductor chip of each structure is turned in the same direction. It is characterized by having at least the process which carries out the laminating of all the structures, as the ejection electrode of each structure other than the structure used as the maximum upper layer is connected with the circuit pattern of the structure located in the upper layer from this structure.

[0037] In the 5th of the manufacture approach of the semiconductor device concerning above-mentioned this invention - the 7th mode, it is desirable that the carrier layer for forming the structure located in the lowest layer is a wiring substrate. When connecting the produced semiconductor device to an external substrate in this case, it becomes possible to connect in a detailed pitch.

[0038] The conductive ingredient filled up with the 2nd, 4th, 6th, and 7th mode of the manufacture approach of the semiconductor device concerning above-mentioned this invention into the hole formed in the insulating layer is a conductive resin constituent, restoration of the conductive ingredient to this hole is performed by screen-stencil, and it is desirable after screen-stencil to heat and stiffen this conductive resin constituent. According to this approach, it becomes possible to produce an ejection electrode more simply.

[0039] In the 1st, 3rd, and 5th modes of the manufacture approach of the semiconductor device concerning above-mentioned this invention The process which carries out the laminating of the stratum disjunctum on the 1st metal layer used as a carrier layer, and carries out the laminating of the 2nd metal layer which serves as a circuit pattern on stratum disjunctum, The process which forms the 3rd metal layer by plating on the 2nd metal layer, and the process which etches and takes out the 3rd metal layer and forms an electrode, It is desirable that take out with a circuit pattern and an electrode is formed by the approach of having at least the process which etches the 2nd metal layer and forms a circuit pattern. In this case, since a circuit pattern can be formed by chemical etching methods, such as a photolithography, a detailed circuit pattern can be formed.

[0040] furthermore, in the 1st, 3rd, and 5th modes of the manufacture approach of the semiconductor device concerning above-mentioned this invention So that the process which carries out the laminating of the stratum disjunctum on the 1st metal layer used as a carrier layer, and carries out the laminating of the 2nd metal layer which serves as a circuit pattern on stratum disjunctum, and the field where formation of the ejection electrode in the 2nd metal layer was meant may be exposed The process which forms the 3rd metal layer which takes out on the process which forms the plating resist film on the 2nd metal layer, and the 2nd metal layer exposed from the plating resist film, and serves as an electrode by plating, It is also desirable that take out with a circuit pattern and the electrode is formed by the approach of having at least the process which exfoliates the plating resist film, and the process which etches the 2nd metal layer and forms a circuit pattern. In this case, since

the additive process is used for formation of an ejection electrode, it takes out in a ** pitch more and an electrode can be formed.

[0041] moreover, in the 1st, 3rd, and 5th modes of the manufacture approach of the semiconductor device concerning above-mentioned this invention So that the process which carries out the laminating of the stratum disjunctum on the 1st metal layer used as a carrier layer, and carries out the laminating of the 2nd metal layer which serves as a circuit pattern on stratum disjunctum, and the field where formation of the ejection electrode in the 2nd metal layer was meant may be exposed The process which forms the 3rd metal layer which takes out on the 2nd metal layer exposed from the process which forms the 1st plating resist film on the 2nd metal layer, and the 1st plating resist film, and serves as a pattern of an electrode by plating, So that the exfoliating process, the field used as the circuit pattern on the 2nd metal layer, and the top face of the 3rd metal layer may expose the 1st plating resist film On the process which forms the 2nd plating resist film, and the top face of the 2nd metal layer exposed from the 2nd plating resist film, and the 3rd metal layer, by plating The process which forms the 4th metal layer with the metallic material which has a stable metal component chemically to the etching reagent which corrodes the 2nd metal layer and the 3rd metal layer, It is also desirable that take out with a circuit pattern and the electrode is formed by the approach of having at least the process which exfoliates the 2nd plating resist film, and the process which etches the 2nd metal layer by using the 4th metal layer as an etching mask, and forms a circuit pattern. In this case, since the front face of a circuit pattern and an ejection electrode is covered with the 4th metal layer, low resistance-ization of antioxidantizing or connection can be attained.

[0042] furthermore, in the 1st, 3rd, and 5th modes of the manufacture approach of the semiconductor device concerning above-mentioned this invention, it takes out by at least one approach chosen from plating, vacuum deposition, and screen printing, and an electrode is formed -- it is desirable. Moreover, in the 5th of the manufacture approach of the semiconductor device concerning above-mentioned this invention - the 7th mode, it is desirable to have the process which the structure from which two or more semiconductor devices constitute each semiconductor device is formed, and separates for every semiconductor device where the structure and the insulating layer which constitute another semiconductor device are shared. In this case, since many semiconductor devices are producible at once, the fall of the cost of a semiconductor device can be aimed at.

[0043]

[Embodiment of the Invention] (Gestalt 1 of operation) The semiconductor device concerning the gestalt 1 of operation of this invention and its manufacture approach are explained hereafter, referring to drawing 1 . Drawing 1 is the sectional view showing the semiconductor device concerning the gestalt 1 of operation of this invention. Drawing 2 is the sectional view showing an example of the manufacture approach of the semiconductor device shown in drawing 1 for every process. Drawing 3 - drawing 5 are the sectional views showing how to form the circuit pattern and ejection electrode of a semiconductor device which are shown in drawing 1 .

[0044] As shown in the example of drawing 1 , the semiconductor device 100 concerning the gestalt 1 of operation of this invention has at least the ejection electrode 104 which connects the 1st semiconductor chip 101 mounted in a circuit pattern 103 and a circuit pattern, the 2nd semiconductor chip 102, and a circuit pattern 103 and the 2nd semiconductor chip 102, and the insulating layer 105.

[0045] The 2nd semiconductor chip 102 turns an electrode surface to the 1st semiconductor chip 101, and is installed in the tooth-back side of the 1st semiconductor chip 101. The ejection electrode 104 is formed so that it may connect with a projection and the 2nd semiconductor chip 102 towards the 2nd semiconductor chip 102 from the part on the circuit pattern 103 located outside the periphery of the 1st semiconductor chip 101. The insulating layer 105 is formed so that the 1st semiconductor chip 101 may all reach and some ejection electrodes 104 may be laid underground.

[0046] Since it has such a configuration, the semiconductor device 100 of this invention can make connection with the 2nd semiconductor chip 102 and circuit pattern 103 which serve as the bottom at

the time of a laminating by taking out the 2nd semiconductor chip 102 and carrying out flip chip mounting at an electrode 104. Therefore, it is not necessary to provide the tooth space for wire bonding for the perimeter of a semiconductor chip, and a miniaturization can be easily attained in the semiconductor device 100 of this invention compared with the conventional semiconductor device. Since the connection length of the 2nd semiconductor chip 102 and a circuit pattern 103 can furthermore be shortened compared with the case where wire bonding is used, even when using the semiconductor chip which carries out high-speed operation, it becomes possible to make effect of an inductance component small.

[0047] In the example of drawing 1, the 1st semiconductor chip 101 and 2nd semiconductor chip differ from each other in size. As the 2nd semiconductor chip 102, the semiconductor chip with a larger area of an electrode surface than the area of the electrode surface of the 1st semiconductor chip 101 is used. Two or more electrodes are arranged along with the periphery of an electrode surface by the electrode surface of the 2nd semiconductor chip 102. In addition, in the example of drawing 1, although two or more electrodes are arranged by the electrode surface of the 1st semiconductor chip 101 along with the periphery of an electrode surface, in this invention, it is not limited to this. The electrode of the 1st semiconductor chip 101 may be arranged by the electrode surface in the shape of an array. When the 2nd semiconductor chip 102 has been arranged to the tooth-back side of the 1st semiconductor chip 101, the electrode of the 2nd semiconductor chip 102 is arranged so that it may be located outside the periphery of the 1st semiconductor chip 101.

[0048] For this reason, since the electrode of the 2nd semiconductor chip 102 and the input/output terminal electrode on a circuit pattern 103 (not shown) can be made to counter, the connection length of the 2nd semiconductor chip 102 and a circuit pattern can be shortened most. Therefore, even when using the semiconductor chip which carries out high-speed operation, the effect of an inductance component also becomes possible [making it the smallest].

[0049] It can use, without being limited as the 1st semiconductor chip 101 and 2nd semiconductor chip 102, especially if it has an electrode on a circuit forming face, for example, semiconductor devices, such as a transistor, and IC, LSI, are mentioned. In the example of drawing 1, the 1st semiconductor chip 101 and 2nd semiconductor chip 102 are [both] a semi-conductor bare chip.

[0050] Neither the mounting method to the circuit pattern 103 of the 1st semiconductor chip 101 nor especially the mounting method to the ejection electrode 104 of the 2nd semiconductor chip 102 is limited. However, when a semiconductor chip is a semi-conductor bare chip, as shown in the example of drawing 1, mounting by the flip chip mounting method is mentioned as a desirable thing.

[0051] In the example of drawing 1, the metal bump 106 who uses gold and a pewter as a principal component is formed in the electrode of the 1st semiconductor chip 101, and the electrode of the 2nd semiconductor chip 102. This metal bump 106 is connected to the circuit pattern 103 or the ejection electrode 104 through electroconductive glue (not shown). For this reason, the 1st semiconductor chip 101 is fixed to a circuit pattern 103 by electroconductive glue.

[0052] Moreover, the metal bump's 106 thickness is smaller than the height in which a wire projects from a semiconductor chip by wire bonding, and thin-shape-izing and low back-ization are measured compared with the semiconductor device using wire bonding of the former [semiconductor device / 100 / of this invention]. Since it can connect at low temperature compared with the case where it connects with a pewter when electroconductive glue is used, the damage by the heat given to a semiconductor chip can be referred to as desirable at the point which can decrease.

[0053] In addition, it takes out with the connection part of the 1st semiconductor chip 101 and a circuit pattern 103, and the 2nd semiconductor chip 102, and the connection part with an electrode 104 is a mode with desirable closing with resin. It is because a connection part can be reinforced mechanically, so it can control that the faulty connection by electroconductive glue arises in a subsequent process if the closure by resin is performed. The under-filling resin currently conventionally used in flip chip mounting as such resin can be used.

[0054] In the gestalt of this operation, it is not limited to this example but the adhesion sheet (ACF) and paste (ACP) which distributed the conductive filler instead of can also be used. [electroconductive glue] If ACF and ACP are used, since the connection part of the 1st semiconductor chip 101 and a circuit pattern 103 can be closed by ACF or ACP, there is an advantage that it is not necessary to close a connection part with resin at another process. Moreover, compared with the case where electroconductive glue is used, it can respond to the electrode of a detailed pitch.

[0055] Furthermore, in this invention, the approach of fixing the metal bump prepared in the electrode of a semiconductor chip with the sheet (NCF) formed with thermosetting resin or a paste (NCP) to the circuit pattern 103 or the ejection electrode 104 used as the candidate for connection can be used. It is in the condition of having made the sheet (NCF) formed with thermosetting resin in between a semiconductor chip and for connection, and the paste (NCP) specifically intervening, and is carried out by carrying out the pressure welding of the metal bump to the candidate for connection, and carrying out heating contraction of this sheet and paste. Since the connection part of the 1st semiconductor chip 101 and a circuit pattern 103 can be closed by NCF or NCP when NCF or NCP is used, there is an advantage that it is not necessary to close a connection part with resin at another process. Moreover, there is also an advantage that it is connectable by low cost compared with the case where electroconductive glue is used.

[0056] A circuit pattern 103 is excellent in conductivity, and is not limited especially that what is necessary is just what can perform circuit formation easily. The formation ingredient and the formation approach of a circuit pattern 103 are explained in below-mentioned drawing 2. A circuit pattern 103 may be the mode prepared in one field of a wiring substrate. As this wiring substrate, the multilayer-interconnection plate with which the wiring layer more than a bilayer was formed in the interior, for example is mentioned. To a wiring substrate, it is desirable that the external connection terminal which can connect with the exterior and is connected with a circuit pattern 103 inside a wiring substrate is prepared in the field in which the circuit pattern 103 is not formed. thus, if the external connection terminal connected with the circuit pattern 103 is prepared, a semiconductor device can be used as BGA (Ball Grid Array) and it mounts in an external substrate easily by using a facility of a reflow etc. -- things can be carried out. When using a wiring substrate, the circuit pattern may be formed on one field of a wiring substrate, and it may be laid under the wiring substrate so that only the whole surface may be exposed.

[0057] In the example of drawing 1, the ejection electrode 104 is formed so that it may project above from the input/output terminal electrode on a circuit pattern 103 (not shown), and it is laid under the insulating layer 105 except for the tip. The circuit pattern 103 and the 2nd semiconductor chip 102 which were laid under the insulating layer 105 with this ejection electrode 104 will be in the condition of having connected electrically. Furthermore, since the ejection electrode 104 has connected the circuit pattern 103 and the electrode of the 2nd semiconductor chip 102 by the minimum distance, it becomes possible [making small effect of the inductance component at the time of using the semiconductor chip which carries out high-speed operation as mentioned above]. The formation ingredient and the formation approach of the ejection electrode 104 are also explained in below-mentioned drawing 2.

[0058] Next, the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention shown in drawing 1 is explained using drawing 2.

[0059] As shown in the example of drawing 2 (a), when a circuit pattern 203 is formed on the carrier layer 207 and flip chip mounting of the 1st semiconductor chip 201 is carried out in the first process at a circuit pattern 203, the ejection electrode 204 which projects towards the upper part into the part on the circuit pattern 203 located in the outside of the periphery of the 1st semiconductor chip 201 is formed, and imprint pattern formation material is produced.

[0060] In the example of drawing 2 (a), stratum disjunctum 208 is formed on the carrier layer 207,

and the circuit pattern 203 is formed on stratum disjunctum 208. This is for making the carrier layer 207 easy to remove from an insulating layer 205 at a next process. Stratum disjunctum 208 will not be limited especially if the carrier layer 207 is made easy to remove from an insulating layer 205. Specifically, a thin organic layer metallurgy group deposit can be used as stratum disjunctum 208. In addition, in case the bond strength of stratum disjunctum 208 and a circuit pattern 203 removes the carrier layer 207, it is desirable to consider as extent by which the circuit pattern 203 which has fixed to the insulating layer 205 will not be torn off.

[0061] As a carrier layer 207, metallic foils, such as copper foil and aluminum foil, can be used, for example. Among these, it is desirable to use the copper foil whose thickness is 50 micrometers - 100 micrometers from the point of having moderate bond strength with conveyance nature or stratum disjunctum. The reason for using a metallic foil for a carrier layer is because it can control moving by flow of the resin at the time of a circuit pattern 203 forming an insulating layer 205, when an insulating layer 209 is formed at a next process.

[0062] Formation of a circuit pattern 203 can be performed by pasting up the leadframe formed in the pattern configuration again on stratum disjunctum 208 by making the ingredient excellent in the electrical conductivity of a metallic foil, a conductive resin constituent, etc. into a pattern configuration.

[0063] When using a metallic foil as a formation ingredient, specifically, a circuit pattern 203 can be formed imprinting the metallic foil beforehand formed in the pattern configuration on the carrier layer 207 (stratum disjunctum 208), or by carrying out the laminating of the metallic foil on the carrier layer 207 (stratum disjunctum 208), and fabricating it in a pattern configuration by etching.

[0064] Thus, if a circuit pattern 203 is formed using the carrier layer 207, it is desirable at the point that production of the detailed circuit pattern by etching etc. becomes easy, and handling becomes easy. That it is copper foil has low cost, and especially a metallic foil has it from the point that electrical conductivity is excellent. [desirable] In addition, the formation approach of the wiring putter 203 is explained in full detail in below-mentioned drawing 3 - drawing 5.

[0065] When using a leadframe as a formation ingredient, a circuit pattern 203 can be formed by processing a metal plate into a pattern configuration by etching, punching, etc. beforehand, and pasting this up on the carrier layer 207 (stratum disjunctum 208). Electric resistance of a leadframe is low, and since it can form with a thick metallic material, it becomes possible to pass a high current to a circuit pattern 203 in this case.

[0066] When using a conductive resin constituent as a formation ingredient, a circuit pattern 203 can be formed with screen printing etc. In this case, as a conductive particle which a conductive resin constituent is made to contain, if metal powders, carbon powder, etc., such as gold dust, silver dust, copper powder, and nickel powder, are used, since low electric resistance-ization of a circuit pattern can be attained, it is desirable. It is desirable to use the ingredient which contains at least one thermosetting resin chosen from an epoxy resin, phenol resin, and cyanate resin as resin which constitutes a conductive resin constituent at the point that heat-resistant improvement in a circuit pattern can be aimed at.

[0067] The ejection electrode 204 can be formed by performing plating, vacuum deposition, etc. using at least one metallic material chosen from metals, such as gold, silver, copper, nickel, tin, and lead, and these alloy ingredients. If the ingredient which forms the ejection electrode 204, and the ingredient which forms a circuit pattern 203 are the metals of the same component, since the same etching reagent can be used, there is an advantage from which production becomes easy. Furthermore, the ejection electrode 204 can also be formed like the above-mentioned circuit pattern 203 using a conductive resin constituent. In this case, the ejection electrode 204 can be formed with screen printing etc. As this conductive resin constituent, the conductive resin constituent for forming an above-mentioned circuit pattern can be used. In addition, the formation approach of the ejection electrode 204 is also explained in full detail in below-mentioned drawing 3 - drawing 5.

[0068] It is desirable to perform plating processing using the plating liquid which uses as a principal component at least one kind chosen from gold, silver, nickel, tin, and lead, and roughening processing to the front face of a circuit pattern 203 or the ejection electrode 204. It is because antioxidizing, corrosion resistance improvement, and low resistance-ization can be attained when plating processing is performed. When roughening processing is performed, it is because improvement in the bond strength between an insulating layer 205 and a circuit pattern 203 can be aimed at.

[0069] At the following process, as shown in the example of drawing 2 (b), flip chip mounting of the 1st semiconductor chip 201 is carried out on a circuit pattern 203. In the example of drawing 2 (b), as the example of drawing 1 showed, the metal bump 206 is formed in the electrode of the 1st semiconductor chip 201, and the metal bump 206 has fixed to the circuit pattern 203 through electroconductive glue. Furthermore, heating is performed in order to stiffen this electroconductive glue.

[0070] Moreover, between the 1st semiconductor chip 201 and a circuit pattern 203, as mentioned above, in order to close the connection part of the 1st semiconductor chip 201 and a circuit pattern 203, it is good to pour in resin. Moreover, as mentioned above, ACF and ACP can be used instead of electroconductive glue, and the 1st semiconductor chip 201 may be further mounted in a circuit pattern 203 using NCF and NCP. In this case, the closure of the connection part of the 1st semiconductor chip 201 and a circuit pattern 203 is carried out by ACF, ACP, NCF, or NCP.

[0071] Next, as shown in the example of drawing 2 (c) - (d), an insulating layer 205 is formed on the carrier layer 207. The insulating layer 205 is formed in the front face of stratum disjunctum 208 in the example of drawing 2 (c) and (d). As first shown in the example of drawing 2 (c), on the 1st semiconductor chip 201, alignment of the insulating material 209 of the shape of a non-hardened sheet is carried out, and, specifically, it is arranged. Next, an insulating material 209 hardens by heating and pressurizing superposition and this to the circuit pattern 203 which mounted the 1st semiconductor chip 201 for the sheet-like insulating material 209 as shown in drawing 2 (d), and an insulating layer 205 is formed. A circuit pattern 203, the ejection electrode 204, and the 1st semiconductor chip 201 will be in the condition of having been laid underground into the hardened insulating layer 205, and will be firmly pasted up on an insulating layer 205.

[0072] As the formation ingredient of an insulating material 209, i.e., a formation ingredient of an insulating layer 205, insulating resin, the mixture of insulating resin and an inorganic filler, etc. can be used, for example. In the case of the latter, adjustment of the thermal conductivity of an insulating layer 205, a line coefficient of thermal expansion, a dielectric constant, etc. is attained by selection of insulating resin and an inorganic filler. As an inorganic filler, an alumina, a magnesia, boron nitride, nitriding aluminum, silicon nitride, a silica, etc. can be used, for example. By forming an insulating layer 205 with the ingredient containing such an inorganic filler, the thermal conductivity of an insulating layer 205 and heat dissipation nature can be raised, and heat can be more effectively radiated in the heat produced from the 1st semiconductor chip 201 laid underground.

[0073] Especially when an alumina is used as an inorganic filler, low cost-ization can be attained, and when a magnesia is used, the line coefficient of thermal expansion of an insulating layer 205 can be enlarged. When boron nitride, nitriding aluminum, and silicon nitride are used, a line coefficient of thermal expansion can be made low. Since the dielectric constant of an insulating material can be made small when a silica is used as an inorganic filler, the semiconductor device suitable for a RF application can be created. From the point of improvement in thermal resistance, thermosetting resin, such as an epoxy resin, phenol resin, a fluororesin, and cyanate resin, is mentioned [in both cases of mixing with the case where it uses independently, and an inorganic filler, as insulating resin]. From the point of reducing the dielectric constant of an insulating layer 205 and aiming at improvement in a RF property, the resin to which conversion of polyphenylene oxide (PPO) resin, polypropylene ethylene (PPE) resin, and those resin was carried out is mentioned.

[0074] If a formation ingredient is the mixture of insulating resin and an inorganic filler, processing to the shape of a sheet of an insulating material 209 The insulating resin which mixed an inorganic filler and liquefied insulating resin, or was hypoviscosity-ized with the solvent to the inorganic filler is mixed, and paste-like mixture is formed. The mixture of the shape of this paste with a doctor blade method etc. It can fabricate by the thickness of homogeneity on a film, and can carry out by heat-treating below with the curing temperature of insulating resin. In addition, it heat-treats for making adhesiveness lose and making exfoliation from a film easy, holding the condition of having flexibility by removing a solvent and of not hardening, if it is when using the insulating resin hypoviscosity-ized with the solvent by advancing a little hardening again, if it is when using liquefied insulating resin.

[0075] Heating pressurization is carried out at the temperature which thermosetting resin does not harden first, and heating and pressurization of an insulating material 209 can still ensure hardening of the closure by the insulating layer 205, and an insulating layer 205, if it carries out by heating further after that and stiffening thermosetting resin.

[0076] In this invention, the formation approach of an insulating layer 205 is not limited to the approach shown in drawing 2 (c) and (d). For example, without using the sheet-like insulating material 209, the mixture of insulating resin and insulating resin, and an inorganic filler etc. can be processed into the shape of powder, or a pellet type, this is heated, it can dissolve and an insulating layer 205 can also be formed by pouring in what was dissolved into molding metal mold. As an approach of pouring in into molding metal mold, the approach by transfer molding, injection molding, etc. can be used, for example. Especially the method of not using the insulating material 209 of the shape of such a sheet is effective when insulating resin does not contain thermosetting resin.

[0077] Next, as shown in the example of drawing 2 (e), stratum disjunctum 208 and a carrier layer exfoliate. The structure which consists of an insulating layer 205 which lays a circuit pattern 203, the 1st semiconductor chip 201, the ejection electrode 204, and the 1st semiconductor chip 201 and ejection electrode 204 underground by this can be obtained. In this structure, thickness is abbreviation homogeneity.

[0078] Furthermore, at the following process, as shown in the example of drawing 2 (f), flip chip mounting of the 2nd semiconductor chip 202 is carried out at the tip of the ejection electrode 204, and the semiconductor device shown by drawing 1 is completed. In the example of drawing 2 (f), ejection electrode 204 tip is exposed from the insulating layer 205, and flip chip mounting of the 2nd semiconductor chip 202 is carried out at this exposed part. The metal bump 206 is formed also in the electrode of the 2nd semiconductor chip 202, and the 2nd semiconductor chip 202 is mounted in a circuit pattern 203 like connection with the 1st semiconductor chip 201 and circuit pattern 203 which were shown in drawing 2 (b). It is a desirable mode that take out with the 2nd semiconductor chip 202 and the closure also of the connection part with an electrode 204 is carried out with resin.

[0079] Next, it takes out with a circuit pattern using drawing 3 - drawing 5, and the formation approach with an electrode is explained. It takes out in drawing 3 - drawing 5 with the circuit pattern with which processes differ, respectively, and the formation approach with an electrode is shown in them. By the formation approach shown in drawing 3 - drawing 5, the imprint pattern formation material shown in drawing 2 (a) is formed. In addition, especially, as long as there is no explanation, explanation of drawing 1 and drawing 2 describes the ingredient used in drawing 3 - drawing 5.

[0080] The example of drawing 3 is explained first. As shown in drawing 3 (a), in the first process, the laminating of the stratum disjunctum 302 is carried out on the 1st metal layer used as the carrier layer 301, and the laminating of the 2nd metal layer 313 which serves as a circuit pattern 303 on stratum disjunctum 302 is carried out. As mentioned above as stratum disjunctum 302, a thin organic layer metallurgy group deposit etc. is used. Formation of the 2nd metal layer 313 can be performed by pasting up a metallic foil or forming a metal layer by plating on stratum disjunctum 302.

[0081] Next, as shown in drawing 3 (b), the 3rd metal layer 314 is formed by plating on the 2nd metal layer 313. Furthermore, as shown in drawing 3 (c) - (e), the 3rd metal layer 314 is etched and taken out and an electrode 304 is formed. As specifically shown in drawing 3 (c), it takes out on the 3rd metal layer 314, and the etching-resist film 305 is formed according to the pattern configuration of an electrode. Formation of the etching-resist film 305 can carry out the laminating of the dry film resist, can perform ultraviolet exposure, and can be performed by stiffening this. Furthermore, as shown in drawing 3 (d), the ejection electrode 304 is formed by removing 3rd metal layer 314 other than the part used as the ejection electrode 304 by chemical etching. Then, as shown in drawing 3 (e), the etching-resist film 305 is removed.

[0082] Next, as shown in drawing 3 (f) - (h), the imprint pattern formation material shown in drawing 2 (a) is obtained by etching the 2nd metal layer 313 and forming a circuit pattern 303. As shown in drawing 3 (f), specifically, the etching-resist film 306 is formed according to the pattern configuration of a circuit pattern 303 on the 2nd metal layer 313. Furthermore, as shown in drawing 3 (g), a circuit pattern 303 is formed by removing 2nd metal layer 313 other than the part which serves as a circuit pattern 303 by chemical etching. Then, as shown in drawing 3 (h), the etching-resist film 306 is removed and the imprint pattern formation material shown in drawing 2 (a) is obtained.

[0083] Thus, according to the formation approach shown in drawing 3, since a circuit pattern can be formed by chemical etching methods, such as a photolithography, there is an advantage that the detailed circuit pattern 303 can be formed.

[0084] Next, the example of drawing 4 is explained. As first shown in drawing 4 (a), the laminating of the stratum disjunctum 302 is carried out on the 1st metal layer used as the carrier layer 301, and the laminating of the 2nd metal layer 313 which serves as a circuit pattern 303 on stratum disjunctum 302 is carried out. This process is the same as the process shown by drawing 3 (a).

[0085] Next, as shown in drawing 4 (b), the plating resist film 307 is formed on the 2nd metal layer 313 so that the field where formation of the ejection electrode 304 in the 2nd metal layer 313 was meant may be exposed. Furthermore, as shown in drawing 4 (c), plating is formed for the 3rd metal layer 314 used as an ejection electrode on the 2nd metal layer 313 exposed from the plating resist film 307. In addition, unlike the example of drawing 3, this 3rd metal layer 314 is already formed in the configuration of the ejection electrode 304. Then, as shown in drawing 4 (d), the plating resist film 307 is exfoliated.

[0086] Furthermore, as shown in drawing 4 (e) - (g), the imprint pattern formation material shown in drawing 2 (a) is obtained like the example of drawing 3 by etching the 2nd metal layer 313 and forming a circuit pattern 303. In addition, the process shown in drawing 4 (e) - (g) is the same as the process shown by drawing 3 (f) - (h). Thus, in the formation approach shown in drawing 4, since formation of the ejection electrode 304 is performed with an additive process, ** pitch-ization of the ejection electrode 304 can be attained.

[0087] Next, the example of drawing 5 is explained. As first shown in drawing 5 (a), the laminating of the stratum disjunctum 302 is carried out on the 1st metal layer used as the carrier layer 301, and the laminating of the 2nd metal layer 313 which serves as a circuit pattern 303 on stratum disjunctum 302 is carried out. This process is the same as the process shown by drawing 3 (a).

[0088] Next, as shown in drawing 5 (b), the 1st plating resist film 309 is formed on the 2nd metal layer 313 so that the field where formation of the ejection electrode 304 in the 2nd metal layer 313 was meant may be exposed. This process is the same as the process shown by drawing 4 (b), and the 1st plating JISUTO film 309 is the same as the plating resist film 307 shown by drawing 4 (b).

[0089] Furthermore, as shown in drawing 5 (c), the 3rd metal layer 314 used as the ejection electrode 304 is formed by plating on the 2nd metal layer 313 exposed from the 1st plating resist film 309. This process is the same as the process shown by drawing 4 (c). Then, as shown in drawing 5 (d), the 1st plating resist film 309 is exfoliated.

[0090] Next, as shown in drawing 5 (e), the 2nd plating resist film 310 is formed so that the field used as the circuit pattern 303 on the 2nd metal layer 313 and the top face of the 3rd metal layer 314 may be exposed.

[0091] Furthermore, as shown in drawing 5 (f), the 4th metal layer 308 is formed in the top face of the 2nd metal layer 313 exposed from the 2nd plating resist film 310, and the 3rd metal layer 314 by plating. At this time, the metallic material which has a stable metal component chemically as a component of the 4th metal layer 308 to the etching reagent which corrodes the 2nd metal layer 313 and the 3rd metal layer 314 is used. Then, as shown in drawing 5 (g), the 2nd plating resist film 310 is exfoliated. The imprint pattern formation material shown in drawing 2 (a) is obtained like the example of drawing 3 by etching the 2nd metal layer 313 into the last by using the 4th metal layer 308 as an etching mask, and forming a circuit pattern 303 in it, as shown in drawing 5 (h).

[0092] since [thus,] a metal layer can be prepared in the top face of a circuit pattern 303 and the ejection electrode 304 according to the formation approach shown in drawing 5 -- antioxidizing -- low -- connection [****] is attained.

[0093] (Gestalt 2 of operation) It explains, referring to drawing 6 about the semiconductor device concerning the gestalt 2 of operation of this invention, and its manufacture approach. Drawing 6 is the sectional view showing an example of the semiconductor device concerning the gestalt 2 of operation of this invention, and its manufacture approach, and is shown for every process. In addition, especially the ingredient used with the gestalt of this operation as long as there is no explanation is the same as that of what was used with the gestalt 1 of operation, and the configuration member of the same name has the same function as what was shown with the gestalt 1 of operation.

[0094] As first shown in drawing 6 (a), the ejection electrode 404 is formed on the circuit pattern 403 formed through stratum disjunctum 408 on the carrier layer 407, flip chip mounting of the 1st semiconductor chip 401 is carried out through the metal bump 406, and the insulating layer 405 which lays the 1st semiconductor chip 401, circuit pattern 403, and ejection electrode 404 underground is formed on the carrier layer 407 (stratum disjunctum 408). What is necessary is just to carry out according to the process specifically shown in drawing 2 (a) - (d). However, as for the ejection electrode 404, all are laid under the insulating layer 405 in the example of drawing 4 (a). The connection part with the 2nd semiconductor chip 402 in the ejection electrode 404 is exposed from an insulating layer 405 at a next process.

[0095] Next, as shown in drawing 6 (b), before carrying out flip chip mounting of the 2nd semiconductor chip 402 at the tip of the ejection electrode 404, removal processing is performed to an insulating layer 405 and the 1st semiconductor chip 401 from the top-face side of an insulating layer 405, such thickness is made small, and the tip of the ejection electrode 404 is exposed from an insulating layer 405. In addition, removal processing may be performed to coincidence also to a part of tip of the ejection electrode 404 at this time. By this, the tooth back of 1st semi-conductor CHIPPUPU 401 and the top face of an insulating layer 405 turn into the same field, and the tooth back of the 1st semiconductor chip 401 will be exposed from an insulating layer 405. As such removal processing, approaches, such as polish, cutting, and cutting, are mentioned, for example.

[0096] Thus, in the manufacture approach of the semiconductor device concerning the gestalt of this operation, since removal of polish etc. is performed after closing the 1st semiconductor chip 401 by which flip chip mounting was carried out by the insulating layer 405, in case thin shape-ization of a semiconductor device is performed, the mechanical shock which joins a semiconductor chip can be controlled.

[0097] Next, as shown in drawing 6 (c), the carrier layer 407 and stratum disjunctum 408 are exfoliated. The structure which consists of an insulating layer 405 which lays a circuit pattern 403, the 1st semiconductor chip 401, the ejection electrode 404, and the 1st semiconductor chip 401 and ejection electrode 404 underground by this can be obtained. In addition, in the gestalt of this

operation, exfoliation of the carrier layer 407 and stratum disjunctum 408 may be performed by whichever before and after the process which removes a part of 1st semiconductor chip 401 and insulating layer 405 by polish, cutting, cutting, etc. However, if it removes after this process, since control of contamination of a circuit pattern 403 can be aimed at, it will become a desirable mode.

[0098] As finally shown in drawing 6 (d), at the tip at which the ejection electrode 404 was exposed, flip chip mounting of the 2nd semiconductor chip 402 can be carried out, and the semiconductor device concerning the gestalt of this operation can be obtained. In addition, mounting in this case as well as the time of mounting the 1st semiconductor chip 201 in a circuit pattern 203 in drawing 2 (b) can be performed. Also in this mounting, it is desirable to pour in the resin for the closure between the tips which took out with the 2nd semiconductor chip 402 at least, and the electrode 404 exposed.

[0099] (Gestalt 3 of operation) It explains, referring to drawing 7 about the semiconductor device concerning the gestalt 3 of operation of this invention, and its manufacture approach. Drawing 7 is the sectional view showing an example of the semiconductor device concerning the gestalt 3 of operation of this invention, and its manufacture approach, and is shown for every process. In addition, although the semiconductor device shown in drawing 7 is the same on the semiconductor device and structure target which show drawing 1, it differs in respect of the manufacture approach. Moreover, especially the ingredient used with the gestalt of this operation as long as there is no explanation is the same as that of what was used with the gestalt 1 of operation, and the configuration member of the same name has the same function as what was shown with the gestalt 1 of operation.

[0100] As shown in drawing 7 (a), in the first process, a circuit pattern 503 is formed on the carrier layer 507, and an insulating layer 505 is formed on the carrier layer 507 so that flip chip mounting of the 1st semiconductor chip 501 may be carried out and all of the 1st semiconductor chip 501 may be laid underground on a circuit pattern 503. Unlike the gestalt 1 of operation, with the gestalt of this operation, formation of the ejection electrode 504 is performed after formation of an insulating layer 505.

[0101] In addition, in the example of this drawing (a), on the carrier layer 507, stratum disjunctum 508 is formed so that it may be easy to exfoliate the carrier layer 507 later, and the circuit pattern 503 is formed in the front face of stratum disjunctum 508. An insulating layer 505 may be formed so that a part of 1st semiconductor chip 501 may be laid underground, for example, so that the tooth back of the 1st semiconductor chip 501 may be exposed. The metal bump 506 is formed in the electrode of the 1st semiconductor chip 501, and flip chip mounting of the 1st semiconductor chip 501 is carried out like the example of drawing 2.

[0102] Next, a hole 509 is formed in an insulating layer 505 until a circuit pattern 503 is exposed at least from the electrode of the 2nd semiconductor chip 502, and the location on the insulating layer 505 which counters when the 2nd semiconductor chip 502 is installed as shown in drawing 7 (b). a hole 509 -- a hole -- what is necessary is to just be formed so that the conductive ingredient and circuit pattern 503 with which it filled up may be connected electrically when the interior is filled up with a conductive ingredient Therefore, the hole 509 may be formed so that a circuit pattern 503 may be penetrated. In addition, as for the carrier layer 507 and stratum disjunctum 508, exfoliating beforehand is desirable when making it a hole 509 penetrate a circuit pattern 503.

[0103] As an approach of forming a hole 509, laser beam machining is mentioned as a desirable approach, for example. According to laser beam machining, a hole 509 can be formed in a detailed pitch and there is an advantage that shaving waste is not generated. Although especially the laser used for laser beam machining is not limited, if a hole 509 is formed for example, so that a circuit pattern 503 may not be penetrated, it is desirable to use carbon dioxide gas laser. If a hole 509 is formed so that a circuit pattern 503 may be penetrated, it is desirable to use excimer laser. Processing becomes easy by using such laser.

[0104] Furthermore, as shown in drawing 7 (c), the ejection electrode 504 which fills up the formed

hole 509 with a conductive ingredient, and connects the 2nd semiconductor chip 502 and circuit pattern 503 to it is formed. As a conductive ingredient, gold, silver, copper, nickel, tin, metallic materials called lead and these alloy ingredients, a conductive resin constituent, etc. are mentioned. As the restoration approach of a conductive ingredient, if a metallic material and an alloy ingredient are used as a conductive ingredient, plating will be mentioned. Screen printing will be mentioned if a conductive resin resin constituent is used. When based on screen-stencil, it is necessary to heat after restoration and to stiffen a conductive resin constituent.

[0105] Next, as shown in drawing 7 (d), the carrier layer 507 and stratum disjunctum 508 are exfoliated. The structure which consists of an insulating layer 505 which lays a circuit pattern 503, the 1st semiconductor chip 501, the ejection electrode 504, and the 1st semiconductor chip 501 and ejection electrode 504 underground according to this process can be obtained.

[0106] Finally, as shown in drawing 7 (e), flip chip mounting of the 2nd semiconductor chip 502 can be carried out at the tip of the ejection electrode 504, and the semiconductor device concerning the gestalt of this operation can be obtained.

[0107] In addition, also in the gestalt of this operation, it is after the process which forms the ejection electrode 504 shown in drawing 7 (c) like the gestalt 2 of operation, and before carrying out flip chip mounting of the 2nd semiconductor chip 502 shown in drawing 7 (e), removal processing can be performed to an insulating layer 505 and the 1st semiconductor chip 501 from the top-face side of an insulating layer 505, and such thickness can be made small. In addition, removal processing is performed to coincidence also to a part of tip of the ejection electrode 504 in this case.

[0108] (Gestalt 4 of operation) It explains, referring to drawing 8 about the semiconductor device concerning the gestalt 4 of operation of this invention, and its manufacture approach. Drawing 8 is the sectional view showing an example of the semiconductor device concerning the gestalt 4 of operation of this invention, and its manufacture approach, and is shown for every process. Especially the ingredient used with the gestalt of this operation as long as there is no explanation is the same as that of what was used with the gestalt 1 of operation, and the configuration member of the same name has the same function as what was shown with the gestalt 1 of operation.

[0109] As shown in the example of drawing 8 (a), at the first process, a circuit pattern 3 is formed on the carrier layer 607, and when flip chip mounting of the 1st semiconductor chip 601 is carried out at a circuit pattern 603, the ejection electrode 604 which projects towards the upper part into the part on the circuit pattern 603 located in the outside of the periphery of the 1st semiconductor chip 601 is formed. This process is performed like drawing 2 (a), and stratum disjunctum 608 is formed on the carrier layer 607. Moreover, it takes out with a circuit pattern 603 and the electrode 604 is formed by one of the approaches shown in drawing 3 - drawing 5.

[0110] Moreover, as shown in drawing 8 (b), it is parallel to the process shown in drawing 8 (a), and the tooth back of the 1st semiconductor chip 601 and the electrode surface of the 2nd semiconductor chip 602 are pasted up so that the electrode of the 2nd semiconductor chip 602 may be exposed. Especially the adhesion approach is not limited and the adhesion approach according [for example,] to potting of an adhesion paste, the adhesion approach using a thermocompression bonding sheet, etc. are mentioned. The thermocompression bonding sheet 610 is used in the example of drawing 8 (b). Thus, if it pastes up beforehand before mounting the 1st semiconductor chip 601 and 2nd semiconductor chip 602, the handling at the time of mounting becomes easy, and improvement in the mechanical strength of a semiconductor device can be aimed at.

[0111] Next, as shown in drawing 8 (c), the 2nd semiconductor chip 602 is taken out on a circuit pattern 603, and flip chip mounting of the 1st semiconductor chip 601 is carried out at the tip of an electrode 604, respectively. In the example of drawing 8 (c), like the gestalt 1 of operation, flip chip mounting forms the metal bump 606 in the electrode of the 1st semiconductor chip 601, and the electrode of the 2nd semiconductor chip 602, and is performed through electroconductive glue. In addition, also in the gestalt of this operation, ACF, ACP, and also NCF or NCP can also be used

instead of electroconductive glue like the gestalt 1 of operation.

[0112] Also in the gestalt of this operation, like the gestalt 1 of operation, it can take out with the connection part of the 1st semiconductor chip 601 and a circuit pattern 603, and the 2nd semiconductor chip 602, and a connection part with an electrode 604 can also be closed with resin. If the closure by such resin is performed, in case the 1st semiconductor chip 601 and 2nd semiconductor chip 602 will be laid under the insulating layer 605 at a next process, the damage given to these semiconductor chips can be lessened. Furthermore, control of location gap of these semiconductor chips by the pressure at the time of laying under the ground can also be aimed at. Moreover, since the 1st semiconductor chip 601 and 2nd semiconductor chip 602 have pasted up, by hardening contraction of resin, it takes out with the metal bump 606 formed in the electrode of the 2nd semiconductor chip 602, and connection with an electrode 604 can be performed as it is firmer.

[0113] Next, as shown in drawing 8 (d) - (e), an insulating layer 605 is formed on the carrier layer 607. As are shown in drawing 8 (d), and alignment of the insulating material 609 of the shape of a non-hardened sheet is carried out and it is shown in drawing 8 (e), this is heated and pressurized and, specifically, an insulating layer 605 is formed. Drawing 8 (d) The insulating layer 605 is formed in the front face of stratum disjunctum 608 in the example of - (e). Moreover, the insulating layer 605 is formed so that all of the 1st semiconductor chip 601, the 2nd semiconductor chip 602, a circuit pattern 603, and the ejection electrodes 604 may be laid underground. In addition, the process shown in drawing 8 (d) - (e) is performed like the process shown by drawing 2 (c) - (d). Therefore, the formation ingredient shown by drawing 2 (c) - (d) and the heating / pressurization approach can be used.

[0114] Finally, as shown in drawing 8 (f), the carrier layer 607 and stratum disjunctum 608 are exfoliated, and the semiconductor device concerning the gestalt of this operation can be obtained. The semiconductor device shown with the gestalt of this operation differs from the semiconductor device shown with the gestalten 1-3 of operation at the point which the 1st semiconductor chip 601 and 2nd semiconductor chip 602 have pasted up.

[0115] (Gestalt 5 of operation) It explains, referring to drawing 9 -10 about the semiconductor device concerning the gestalt 5 of operation of this invention, and its manufacture approach. Drawing 9 is the sectional view showing the process of the first half in the manufacture approach of the semiconductor device concerning the gestalt 5 of operation of this invention. Drawing 10 is the sectional view showing the process of the second half in the semiconductor device concerning the gestalt 5 of operation of this invention, and its manufacture approach. Especially the ingredient used with the gestalt of this operation as long as there is no explanation is the same as that of what was used with the gestalt 1 of operation, and the configuration member of the same name has the same function as what was shown with the gestalt 1 of operation.

[0116] First, as shown in drawing 9 (a), two or more circuit patterns 703 are formed on the wiring substrate 707. Formation of a circuit pattern 703 can be performed like the gestalt 1 of operation. The wiring substrate 707 achieves the duty as a carrier layer in the gestalten 1-4 of operation, and has internal wiring more than two-layer (not shown) inside. The connection pad 708 is formed in the field (rear face) in which the circuit pattern 703 in the wiring substrate 707 is not formed, and it functions as an external ejection electrode of a semiconductor chip. Between a circuit pattern 703 and internal wiring and between internal wiring and the connection pad 708, the plating through hole and the inner beer hall connect. In addition, in the gestalt of this operation, a circuit pattern 703 and the connection pad 708 may be the modes by which direct continuation was carried out through internal wiring. The array of the connection pad 708 is not limited, and when it arranges in the shape of a matrix, it can aim at the increment in the number of pads (the number of input/output terminals).

[0117] Next, as shown in drawing 9 (b), when flip chip mounting of the 1st semiconductor chip 701 is carried out at a circuit pattern 703, the ejection electrode 704 which projects towards the upper part into the part on the circuit pattern 703 located in the outside of the periphery of the 1st semiconductor

chip 701 is formed. Flip chip mounting of the 2nd semiconductor chip 702 is carried out at a next process at the ejection electrode 704. The tip of the ejection electrode 704 has countered with the electrode of the 2nd semiconductor chip 702. The ejection electrode 704 can be formed by the approach shown with the gestalt 1 of operation using the same formation ingredient.

[0118] Next, as shown in drawing 9 (c), flip chip mounting of the 1st semiconductor chip 701 is carried out through the metal bump 706 on each circuit pattern 703. This flip chip mounting can be performed like the gestalt 1 of operation.

[0119] Then, as shown in drawing 9 (d), an insulating layer 705 is formed so that all the 1st semiconductor chip 701, a circuit pattern 703, and the ejection electrode 704 may be laid underground on the wiring substrate 707. Like the process shown by drawing 2 (c) - (d), an insulating layer 705 carries out alignment of the insulating material of the shape of a non-hardened sheet, can heat and pressurize this and can form it. For this reason, the formation ingredient shown by drawing 2 (c) - (d) and the heating / pressurization approach can be used.

[0120] Next, as shown in drawing 10 (e), removal processing is performed to an insulating layer 705 and each 1st semiconductor chip 701 from the top-face side of an insulating layer 705, such thickness is made small, and the tip of the ejection electrode 704 is exposed from an insulating layer 705. In addition, removal processing may be performed to coincidence also to a part of tip of the ejection electrode 704 at this time. thereby -- every -- the tooth back of 1st semi-conductor CHIPUPU 701 and the top face of an insulating layer 705 turn into the same field, and the tooth back of the 1st semiconductor chip 701 will be exposed from an insulating layer 705. Thereby, two or more structures shown in drawing 6 (c) and same structures are formed where an insulating layer 705 is shared. Each structure constitutes a different semiconductor device, respectively. This process is the process shown by drawing 6 (b), and same process, and approaches, such as polish, cutting, and cutting, are mentioned also as such removal processing, for example.

[0121] Furthermore, as shown in drawing 10 (f), flip chip mounting of the 2nd semiconductor chip 702 can be carried out on the top face of each ejection electrode 704, and two or more semiconductor devices in the condition of having shared the insulating layer 705 can be obtained. This flip chip mounting as well as the gestalt 1 of operation can be performed. Therefore, it is desirable to take out with the 2nd semiconductor chip 702 at least, and to pour in resin between electrodes 704 for the closure.

[0122] Next, as shown in drawing 10 (g), the pewter ball 709 as an external connection terminal for mounting is formed in the front face of each connection pad 708 established in the rear face of a patchboard 701. In addition, in the gestalt of this operation, an external connection terminal is not limited to a pewter ball, but can also use the lead arranged instead of a pewter ball around the electrode pad 708. thus, if the external connection terminal connected with the circuit pattern 703 is prepared, a semiconductor device can be used as BGA (Ball Grid Array) and it mounts in an external substrate easily by using a facility of a reflow etc. -- things can be carried out.

[0123] Finally, as shown in drawing 10 (h), two or more semiconductor devices in the condition of having shared the insulating layer 705 are separated for every semiconductor device. Punching by metal mold, cutting by laser, etc. can perform separation. In addition, division may be before formation of the pewter ball 709. Thus, if a semiconductor device is produced according to the gestalt of this operation, many semiconductor devices can be obtained at once cheaply.

[0124] (Gestalt 6 of operation) It explains, referring to drawing 11 about the semiconductor device concerning the gestalt 6 of operation of this invention, and its manufacture approach. Drawing 11 is the sectional view showing an example of the semiconductor device concerning the gestalt 6 of operation of this invention, and its manufacture approach, and is shown for every process. Especially the ingredient used with the gestalt of this operation as long as there is no explanation is the same as that of what was used with the gestalt 1 of operation, and the configuration member of the same name has the same function as what was shown with the gestalt 1 of operation.

[0125] At the first process, as shown in drawing 11 (a), flip chip mounting of the 1st semiconductor chip 901 is carried out on the metal layer 907. The metal layer 907 is processed at a next process to a circuit pattern 903. The metal layer 907 will not be limited especially if processible to a circuit pattern 903. It is desirable to be able to use a metallic foil, for example and to use especially copper foil as a metal layer 907. Cost of copper foil is low and electrical conductivity is also because it is high. In the example of drawing 11 (a), flip chip mounting of the 1st semiconductor chip 901 is carried out through the metal bump 906 to the metallic foil 907. Mounting of the 1st semiconductor chip 901 can be performed like the gestalt 1 of operation.

[0126] Next, as shown in drawing 11 (b), an insulating layer 905 is formed on the metal layer 907 so that the 1st semiconductor chip 901 may be laid underground. In the example of drawing 11 (b), it is formed by carrying out alignment of the insulating material of the shape of a non-hardened sheet, and carrying out heating pressurization of this like drawing 2 (c) - (d) shown with the gestalt 1 of operation.

[0127] Next, as shown in drawing 11 (c), the metal layer 907 is etched and a circuit pattern 903 is formed so that the connection part of the 1st semiconductor chip 901 and the metal layer 907 may not be removed.

[0128] Furthermore, a hole 908 is formed in an insulating layer 905 until a circuit pattern 903 is exposed at least from the electrode of the 2nd semiconductor chip 902, and the location on the insulating layer 905 which counters when the 2nd semiconductor chip 902 is installed as shown in drawing 11 (d). In the example of drawing 11 (d), formation of a hole 908 is performed like drawing 7 (b) shown with the gestalt 3 of operation. A hole 908 may be formed so that a circuit pattern 903 may be penetrated like the example of drawing 7 (b).

[0129] Then, as shown in drawing 11 (e), the ejection electrode 904 which fills up the formed hole 908 with a conductive ingredient, and connects the 2nd semiconductor chip 902 and circuit pattern 903 to it is formed. As a conductive ingredient, the metallic material stated with the gestalt 3 of operation, an alloy ingredient, a conductive resin constituent, etc. can be used. The structure which consists of an insulating layer 905 which lays a circuit pattern 903, the 1st semiconductor chip 901, the ejection electrode 904, and the 2nd semiconductor chip 902 and ejection electrode 904 underground according to this process can be obtained.

[0130] Finally, as shown in drawing 11 (f), flip chip mounting of the 2nd semiconductor chip 902 can be carried out at the tip of the ejection electrode 904, and the semiconductor device concerning the gestalt of this operation can be obtained. The 2nd semiconductor chip 902 is also taken out through the metal bump 906, and flip chip mounting is carried out at the electrode 904.

[0131] In addition, also in the gestalt of this operation, it is after the process which forms the ejection electrode 904 shown in drawing 11 (e) like the gestalt 2 of operation, and before carrying out flip chip mounting of the 2nd semiconductor chip 902 shown in drawing 11 (f), removal processing can be performed to an insulating layer 905 and the 1st semiconductor chip 901 from the top-face side of an insulating layer 905, and such thickness can be made small. In this case, removal processing is performed to coincidence also to a part of tip of the ejection electrode 904.

[0132] (Gestalt 7 of operation) It explains, referring to drawing 12 about the semiconductor device concerning the gestalt 7 of operation of this invention, and its manufacture approach. Drawing 12 is the sectional view showing an example of the semiconductor device concerning the gestalt 7 of operation of this invention, and its manufacture approach, and is shown for every process. Especially the ingredient used with the gestalt of this operation as long as there is no explanation is the same as that of what was used with the gestalt 1 of operation, and the configuration member of the same name has the same function as what was shown with the gestalt 1 of operation.

[0133] First, as shown in the example of drawing 12 (a), two or more structures (800, 810, 820) are prepared. Each structure (800, 810, 820) has at least the circuit pattern (803, 813, 823), the semiconductor chip (801, 811, 821) mounted on a circuit pattern, and the insulating layer (805, 815,

825) which lays some or all of a semiconductor chip (801, 811, 821) underground. Among each structure, the maximum upper layer and the structure 810 serve as an interlayer, and the structure 801 serves as [the structure 820] the lowest layer. Moreover, the area of the electrode surface of the semiconductor chip of the structure located in the upper layer is larger than the area of the electrode surface of the semiconductor chip of the structure located in a lower layer from it so that the example of drawing 12 may show.

[0134] Each structure other than structure 820 used as the maximum upper layer (800 810) has further the ejection electrode (804 814) which a projection and a part expose to above from an insulating layer (805 815) from the part on the circuit pattern (803 813) located outside the periphery of a semiconductor chip (801 810). The ejection electrode 804 is connected with the circuit pattern 813 of the structure 810 located in the upper layer in the part exposed from the insulating layer 805 in a next process. The ejection electrode 814 is connected with the circuit pattern 823 of the structure 820 located in the upper layer in the part exposed from the insulating layer 815.

[0135] The structure 800 and the structure 810 are the same as that of what was shown by drawing 6 (c), and it can form using the process shown in drawing 6 (a) - (c). However, in the gestalt of this operation, the structure 800 and the structure 810 may be formed of the process shown in the process shown in - (e), and drawing 2 (a) drawing 7 (a) - (d). Moreover, it may be formed at the process which performs removal processing to an insulating layer (805 815) and a semiconductor chip (801 811) from the process [which is shown in the process shown in - (e), or drawing 2 (a) drawing 7 (a) - (d)], and top-face side of an insulating layer (805 815), and makes such thickness small. Furthermore, the structure which constitutes other semiconductor devices shown by drawing 11 (e) as the structure 800 and the structure 810, and the structure which shared the insulating layer can also be used. In this case, it is necessary to dissociate for every semiconductor device behind a laminating.

[0136] In addition, in the example of drawing 12, although the tooth back of a semiconductor chip (801 802) is exposed from the insulating layer (805 815) in the structure 800 and the structure 810, in the gestalt of this operation, the tooth back of a semiconductor chip (801 802) may be laid under the insulating layer (805 815) exposed [only the ejection electrode (804 814)] from the insulating layer (805 815).

[0137] The structure 820 located in the maximum upper layer can be formed like the structure (800 810) except not forming an ejection electrode. For example, an insulating layer 825 is formed on a carrier layer so that a semiconductor chip 821 may be laid underground, according to the process shown in drawing 6 (a) - (c), a circuit pattern 823 is formed on a carrier layer (not shown), flip chip mounting of the semiconductor chip 821 is carried out on a circuit pattern 823, removal processing is performed to an insulating layer 825 and a semiconductor chip 821 from the top-face side of an insulating layer 825, such thickness is made small, it exfoliates and a carrier layer can be formed.

[0138] Moreover, the structure which constitutes other semiconductor devices shown by drawing 11 (e) as the structure 820, and the structure which shared the insulating layer can also be used. In addition, it may take out also to the structure 820 located in the maximum upper layer in the gestalt of this operation, and an electrode may be formed. When it takes out to the structure 820 and an electrode is formed, it becomes possible to multilayer further later if needed.

[0139] Next, these structures are arranged, as are shown in drawing 12 (b), and the electrode surface of the semiconductor chip (801, 811, 821) of each structure (800, 810, 820) is turned in the same direction, the ejection electrode 804 of the structure 801 is connected with the circuit pattern 813 of the structure 810 and the ejection electrode 814 of the structure 810 is connected with the circuit pattern 823 of the structure 820.

[0140] In the example of drawing 12 (b), a non-hardened insulation sheet (802 812) is put between the structures. The track (807 817) is established in each insulation sheet (802 812), respectively. The ejection electrode 804 of the structure 800 and the circuit pattern 813 of the structure 810 are electrically connected by the track 807 established in the insulation sheet 802. The ejection electrode

814 of the structure 810 and the circuit pattern 823 of the structure 820 are electrically connected by the track 817 established in the insulation sheet 812.

[0141] As a formation ingredient of parts other than the track (807 817) in an insulation sheet (802 812), the formation ingredient and the prepreg for the circuit boards of an insulating layer (805, 815, 825) of the structure can be used. The prepreg for the circuit boards infiltrates into a glass cloth or an aramid nonwoven fabric the epoxy resin which is thermosetting resin, is formed, and will be in a hardening condition from the condition of not hardening, with heating.

[0142] A track (807 817) forms a through tube in a sheet, is filled up with a conductive paste there and formed in it. As a conductive paste, the thing which comes to knead metal powder, such as gold, silver, and copper, with thermosetting resin, such as an epoxy resin, can be used. Among these, conductivity is good and is desirable at the point which can control migration. [of the thing using copper as metal powder] It is desirable to use an epoxy resin liquefied as thermosetting resin in respect of thermal resistance.

[0143] As shown in drawing 12 (d), after carrying out the laminating of each structure (800, 810, 820) and the non-hardened insulation sheet (802 812) to the last, by heating and pressurizing a non-hardened insulation sheet (807 817), and hardening it, it pastes up, each structure is united and the semiconductor device concerning the gestalt of this operation completes it.

[0144] In addition, although the laminating of the three structures is carried out and the semiconductor device consists of examples of drawing 12, in the gestalt of this operation, it cannot be limited to this example, for example, the laminating of the four or more structures can be carried out, and a semiconductor device can also be constituted. Moreover, with the gestalt of this operation, the circuit pattern 803 of the structure 800 of the lowest layer may be formed in the circuit board equipped with the multilayer interconnection and the external connection terminal like the semiconductor device shown by drawing 9 and drawing 10.

[0145]

[Example] Hereafter, the semiconductor device and its manufacture approach of this invention are concretely explained using an example.

[0146] (Example 1) According to the production process actually shown in drawing 6, the semiconductor device shown in drawing 6 (d) was produced. About imprint pattern formation material, it is producing according to the process shown in drawing 5.

[0147] The 2nd metal layer which serves as a circuit pattern through stratum disjunctum on a carrier layer is formed in the beginning (refer to drawing 5 (a)). Specifically, electrolytic copper foil (carrier copper foil) with a thickness of 70 micrometers is prepared as 1st metal layer which turns into a carrier layer first. Electrolytic copper foil dissolves a copper salt raw material in an alkaline bath, passes the current of high current density to this, is electrodeposited to a rotating drum, rolls round continuously the coppering layer formed of electrodeposition, and produces it. At this time, the copper foil of the thickness of arbitration is producible by controlling plating current density, drum rotational speed, etc. Furthermore, the thin stratum disjunctum which consisted of nickel-Lynn alloys is formed in the front face of the copper foil used as a carrier layer, on this stratum disjunctum, coppering is performed and the 2nd metal layer (copper layer) is formed. Coppering is performed until the thickness of a layer is set to 12 micrometers.

[0148] Next, on this 2nd metal layer, it takes out with a well-known additive process, and an electrode is produced (refer to drawing 5 (b) - (d)). Specifically it leaves the outcrop of the pattern configuration of an ejection electrode, the 1st plating resist film is formed (refer to drawing 5 (b)), and the copper as 3rd metal layer is grown up into an outcrop with electrolysis plating by using a carrier layer, stratum disjunctum, and the 2nd metal layer as an electric supply layer (refer to drawing 5 (c)). After removing the 1st plating resist film (refer to drawing 5 (d)), it leaves the front face of an extraction electrode, and the field used as the circuit pattern in the 2nd metal layer further, and the 2nd plating resist film is formed (refer to drawing 5 (e)).

[0149] Next, like formation of an extraction electrode, with electrolysis plating, an outcrop is deposited in order of nickel (refer to drawing 5 (e)) and gold (refer to drawing 5 (f)), and the plating resist film is removed after that (refer to drawing 5 (g)). Furthermore, chemical etching of the 2nd metal layer (copper layer) is carried out with the 2nd water solution of ferric chloride by using the gold plate layer of this circuit pattern configuration as an etching mask, and a circuit pattern is formed (refer to drawing 5 (h)). The imprint pattern formation material produced by the above process had the same structure as drawing 5 (h), and the projection height from the circuit pattern in an ejection electrode was about 120 micrometers.

[0150] Next, flip chip mounting of the 1st semiconductor chip is carried out on the imprint pattern formation material which took out with the circuit pattern by the coppering layer which carried out in this way and was produced, and was equipped with the electrode. The thing whose thickness is 0.3mm(s) and whose magnitude is 10mmx10mm as the 1st semiconductor chip was used. First, the mounting approach uses for and carries out bonding of the golden wire of the diameter of 25 micrometer to the aluminum electrode of the 1st semiconductor chip, and forms the golden bump of the letter of a two-step projection. Since height of the golden bump who formed is not fixed, she performs a RE ** ring. A RE ** ring presses metal mold against the golden bump group on the 1st semiconductor chip, pressurizes it by the constant pressure, and is performed.

[0151] Furthermore, the 1st semiconductor chip with which the golden bump was formed is pressed against the conductive paste side which carried out skiing JINGU from a golden bump side at fixed thickness, and a conductive paste is applied to the golden bump point of the letter of a two-step projection. A golden bump is formed, on the circuit pattern formed on the carrier layer, alignment of the semiconductor chip with which the conductive pace was applied to a golden bump's point is carried out, it is piled up, a conductive paste is further stiffened with heating, and between a golden bump-circuit pattern is electrically connected through a conductive paste.

[0152] Subsequently, between the 1st semiconductor chip and the carrier layers which have a circuit pattern was closed by liquefied resin. As resin for this closure, what mixed the silica particle for controlling a coefficient of thermal expansion was used for the liquefied epoxy resin. The closure trickled this liquefied resin into the 1st semiconductor chip, the circuit pattern, and the clearance between between, and performed it using that surface tension.

[0153] Thus, on the carrier layer which has the circuit pattern which mounted the produced semiconductor chip, the insulating material of the shape of a non-hardened sheet is piled up, heating pressurization is carried out, a semiconductor chip is laid under this mixture, and an insulating layer is formed (refer to drawing 6 (a)). In this example, the thing which comes to mix an inorganic filler and liquefied thermosetting resin as a sheet-like insulating material is used.

[0154] Specifically, inorganic filler:aluminum 2O3 (90 % of the weight, AS[by Showa Denko K.K.]- 40, a globular shape, mean particle diameter of 12 micrometers), a thermosetting resin:liquefied epoxy resin (9.5 % of the weight, Japanese Lec, Inc. make EF-450), carbon black (0.2 % of the weight, Toyo Carbon Co., Ltd. make), the coupling agent (0.3-% of the weight and titanate system [by Ajinomoto Co., Inc.] 46B), and the methyl ethyl ketone for viscosity control are mixed and formed. Mixing fed the inorganic filler and liquefied epoxy resin of the specified quantity into the container, and was performed by mixing with a stirring kneading machine this whole container.

[0155] On a mold releasing film, film formation of the mixture of the shape of this paste is carried out with a doctor blade method, and it is made into the shape of a sheet. In addition, the polyethylene terephthalate film (thickness: 75 micrometers) to which mold release processing by silicon was performed on the front face as a mold releasing film is used. Furthermore, at the temperature of 120 degrees C, the mixture of the shape of this sheet is heated for 15 minutes, and is dried. In addition, since hardening initiation temperature is 130 degrees C, under these heat treatment conditions, an epoxy resin is in the condition (B stage) of not hardening, and can carry out melting again by heating

further at subsequent processes. Thus, the insulating material of the shape of a formed sheet does not have adhesiveness, and is a non-hardened thing. Moreover, it was 500 micrometers when thickness was measured.

[0156] Heating and pressurization for laying a semiconductor chip under the insulating layer set the carrier layer which mounted the semiconductor chip in the metal mold heated at 150 degrees C, arranges sheet-like mixture on it, is pressurized with metal mold (100 kg/cm²), and is performed by holding this condition for 15 minutes. Then, the mold releasing film of sheet-like mixture is exfoliated. Therefore, what is shown in drawing 6 (a) can be obtained.

[0157] Next, it grinds from the top-face side of an insulating layer to an insulating layer and the 1st semiconductor chip, and such thickness is made small (refer to drawing 6 (b)). Polish is performed until the thickness of an insulating layer is set to 170 micrometers using a wrapping machine. In addition, polish is performed where a carrier layer and stratum disjunctum are stuck. A carrier layer and stratum disjunctum exfoliate, after washing after polish (refer to drawing 6 (c)). In addition, since it is copper foil and the contact surface with an insulating layer is a glossy surface, a carrier layer can exfoliate easily, even if the mixture which forms the insulating layer is in a hardening condition.

[0158] Flip chip mounting of the 2nd semiconductor chip is carried out at the part exposed to the last from the insulating layer in an ejection electrode. As the 2nd semiconductor chip, the thing whose thickness is 0.3mm(s) and whose magnitude is 15mmx15mm was used. The RE ** ring of the golden bump was formed and carried out also to the 2nd semiconductor chip like the 1st semiconductor chip, and the conductive paste was further applied at a golden bump's tip. Flip chip mounting to the ejection electrode of the 2nd semiconductor chip is performed by [which exposed the golden bump from the insulating layer] taking out, carrying out alignment at the tip of an electrode, heating further, stiffening a conductive paste, taking out with a golden bump, and connecting between electrodes electrically through a conductive paste. In addition, it took out with the 2nd semiconductor chip and between electrodes was closed with liquefied resin.

[0159] The semiconductor device shown in drawing 6 according to the above process and the semiconductor device which has the same structure were able to be obtained. Next, in order to perform reliability evaluation of the obtained semiconductor device, the maximum temperature was set as 260 degrees C, and the reflow trial (for 10 seconds) was performed 10 times. The exterior crack etc. was not generated in a result and a semiconductor device. Furthermore, although observation by ultrasonic test equipment was also performed, especially abnormalities were not accepted in the interface of a semiconductor chip and a package. Moreover, the amount of connection resistance value changes in reflow order was also very small.

[0160] (Example 2) According to the production process shown in drawing 12, the semiconductor device shown in drawing 12 (c) was produced. The structures other than the structure used as the maximum upper layer were produced according to the process until it arranges the 2nd semiconductor chip in an example 1. The structure used as the maximum upper layer was produced according to the process until it arranges the 2nd semiconductor chip in an example 1 without forming an ejection electrode. In addition, in the structures other than the structure used as the maximum upper layer, the ejection electrode is formed so that the electrode location of the semiconductor chip of the structure which is in the upper layer from it may be countered.

[0161] The thing which comes to form the flow way which becomes the sheet formed by the prepreg for the circuit boards from a conductive pace as an insulation sheet for making between each structure fix was used. As prepreg for the circuit boards, the epoxy resin was made to come to sink into a glass cloth, and the thing of B stage condition was used for it. The thickness of an insulation sheet is 80 micrometers. The flow way formed the through tube with a diameter of 0.1mm in the location corresponding to the ejection electrode of the structure located in a lower layer by carbon dioxide gas laser, and filled up with and formed the conductive paste for beer hall restoration in this

through tube. In addition, as a conductive paste, restoration was performed with screen printing using what kneaded 85 % of the weight of metal particles, copper globular form 3 % of the weight (Epicoat 828 oil-sized shell epoxy company make) of the bisphenol A mold epoxy resins and 9 % of the weight (YD-171 Tohto Kasei Co., Ltd. make) of guru SHIJIRU ester system epoxy resins, and 3 copper globular form % of the weight (MY-24 Ajinomoto Co., Inc. make) of amine adduct curing agents with 3 rolls.

[0162] Thus, the produced insulation sheet of two sheets was made to intervene between the structures, alignment was carried out (refer to drawing 12 (b)), and these were heated and pressurized with a heat press (press temperature: for [170 degrees-C pressure:50 kg/cm², and time amount:] 60 minutes). Thereby, in order that the heat-curing resin in prepreg may harden with heating, the structure is pasted up on an insulation sheet. The thermosetting resin under conductive paste with which the insulation sheet was filled up is also hardened to coincidence, and electrical connection between layers is performed to it. According to the above process, the high-density semiconductor device which this invention multilayered can be obtained.

[0163] Next, the same reflow trial as an example 1 was performed 10 times also with the semiconductor device obtained by this example. Like the example 1, the exterior crack was not generated in a semiconductor device and abnormalities were not accepted in the interface of a semiconductor chip and a package by the result with ultrasonic test equipment. Furthermore, the amount of connection resistance value changes in reflow order was also very small.

[0164]

[Effect of the Invention] As explained above, according to the semiconductor device of this invention, it is not necessary to use wire bonding for connection with the semiconductor chip and circuit pattern which serve as the bottom at the time of a laminating, and to provide the tooth space for wire bonding for the perimeter of a semiconductor chip. Therefore, it becomes possible to attain the miniaturization of a semiconductor device conventionally.

[0165] Furthermore, since the electrode of the semiconductor chip used as the bottom and the input/output terminal electrode on a circuit pattern are electrically connectable by the minimum distance, connection length can be shortened. Therefore, even when the semiconductor chip which carries out high-speed operation is used, effect of an inductance component can be made small, and RF-ization is attained.

[0166] Moreover, since it can do thinly by polish etc., it takes out, without depending connection with the semiconductor chip and circuit pattern which are further located in this semiconductor chip bottom on wire bonding and it connects with an electrode after laying underground the thickness of the 1st semiconductor chip by which flip chip mounting was carried out by resin, the semiconductor device thin-shape-sized conventionally can provide more easily.

[0167] Furthermore, in the semiconductor device of this invention, since multilayering can also be attained with the thin-shape-sized semiconductor chip, the semiconductor device which carried out densification more nearly further than before is also realizable.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-170921

(P2002-170921A)

(43)公開日 平成14年6月14日(2002.6.14)

(51)Int.Cl.
H 01 L 25/065
25/07
25/18
21/56
23/12

識別記号

F I
H 01 L 21/56
23/28
25/08
23/12

データコード*(参考)
E 4M109
C 5F061
Z
L

審査請求 未請求 請求項の数35 OL (全25頁) 最終頁に続く

(21)出願番号 特願2000-367554(P2000-367554)

(22)出願日 平成12年12月1日(2000.12.1)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 山下 嘉久

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 平野 浩一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外5名)

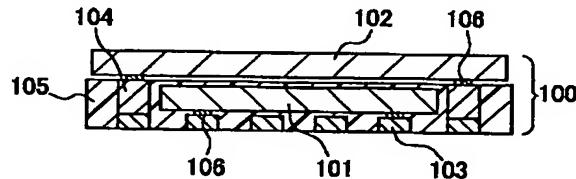
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 複数の半導体チップを積層して実装でき、且つ、従来に比べ小型化および薄型化を図り得る半導体装置およびその製造方法を提供することにある。

【解決手段】 配線パターン103と、配線パターン103に実装される第1の半導体チップ101と、第1の半導体チップ101の背面側に、第1の半導体チップ101に電極面を向けて設置される第2の半導体チップ102と、第1の半導体チップ101の周縁より外側に位置する配線パターン103上の部分から第2の半導体チップ102に向けて突出し、第2の半導体チップ102に接続される取り出し電極104と、第1の半導体チップ101および取り出し電極104の一部又は全部を埋設する絶縁層105とで半導体装置を構成する。



1

【特許請求の範囲】

【請求項1】 配線パターンと、配線パターンに実装される第1の半導体チップと、第1の半導体チップの背面側に、第1の半導体チップに電極面を向けて設置される第2の半導体チップと、第1の半導体チップの周縁より外側に位置する配線パターン上の部分から第2の半導体チップに向けて突出し、第2の半導体チップに接続される取り出し電極と、第1の半導体チップおよび取り出し電極の一部又は全部を埋設する絶縁層とを少なくとも有することを特徴とする半導体装置。

【請求項2】 第1の半導体チップが、その背面のみが絶縁層から露出した状態で、絶縁層に埋設されている請求項1記載の半導体装置。

【請求項3】 第1の半導体チップの背面が、第2の半導体チップの電極面に接着されている請求項1または2に記載の半導体装置。

【請求項4】 第2の半導体チップの電極面の面積が第1の半導体チップの電極面の面積よりも大きくなっている、第2の半導体チップの電極面には複数の電極が、該電極面の外周に沿って、第1の半導体チップの周縁より外側に位置するように配置されている請求項1～3のいずれかに記載の半導体装置。

【請求項5】 第1の半導体チップおよび／または第2の半導体チップの電極に金属バンプが設けられており、導電性接着剤を介して、第1の半導体チップに設けられた金属バンプは配線パターンに、第2の半導体チップに設けられた金属バンプは取り出し電極に固着されている請求項1～4のいずれかに記載の半導体装置。

【請求項6】 第1の半導体チップおよび／または第2の半導体チップの電極に金属バンプが設けられており、導電性フィラーを分散させてなる接着シートまたはペーストを介して、第1の半導体チップに設けられた金属バンプは配線パターンに、第2の半導体チップに設けられた金属バンプは取り出し電極に固着されている請求項1～4のいずれかに記載の半導体装置。

【請求項7】 第1の半導体チップおよび／または第2の半導体チップの電極に金属バンプが設けられており、熱硬化性樹脂で形成されたシートまたはペーストによって、第1の半導体チップに設けられた金属バンプは配線パターンに、第2の半導体チップに設けられた金属バンプは取り出し電極に固着されている請求項1～4のいずれかに記載の半導体装置。

【請求項8】 配線パターンが配線基板の一方の面に設けられており、配線基板は外部と接続するための外部接続端子を少なくとも有し、外部接続端子は配線パターンと接続されている請求項1～7のいずれかに記載の半導体装置。

【請求項9】 配線パターンと、配線パターン上に実装される半導体チップと、半導体チップの一部または全部を埋設する絶縁層とを少なくとも有する構造体を、各構

2

造体の半導体チップの電極面を同一方向に向けて積層してなる半導体装置であって、

上層に位置する構造体の半導体チップの電極面の面積は、その下層に位置する構造体の半導体チップの電極面の面積よりも大きくなっている、

最上層となる構造体以外の各構造体は、半導体チップの周縁より外側に位置する配線パターン上の部分から上方に向突出し、且つ、一部が絶縁層から露出する取り出し電極を有しており、各構造体の取り出し電極は絶縁層から露出した部分で上層に位置する構造体の配線パターンと接続されていることを特徴とする半導体装置。

【請求項10】 半導体チップの電極に金属バンプが設けられており、金属バンプは導電性接着剤を介して配線パターンに固着されている請求項9に記載の半導体装置。

【請求項11】 半導体チップの電極に金属バンプが設けられており、金属バンプは、導電性フィラーを分散させてなる接着シートまたはペーストを介して、配線パターンに固着されている請求項9に記載の半導体装置。

【請求項12】 半導体チップの電極に金属バンプが設けられており、金属バンプは、熱硬化性樹脂で形成されたシートまたはペーストによって、配線パターンに固着されている請求項9に記載の半導体装置。

【請求項13】 最下層の構造体を構成する配線パターンが配線基板の一方の面に設けられており、配線基板は外部と接続するための外部接続端子を少なくとも有し、外部接続端子は該配線パターンと接続されている請求項9～12のいずれかに記載の半導体装置。

【請求項14】 配線パターンが、金属箔、リードフレームおよび導電性樹脂組成物から選ばれる少なくとも一つで形成されている請求項1～13のいずれかに記載の半導体装置。

【請求項15】 絶縁層が、無機フィラーと絶縁性樹脂とを少なくとも含有する材料によって形成されている請求項1～14のいずれかに記載の半導体装置。

【請求項16】 無機フィラーがアルミナ、マグネシア、窒化ホウ素、窒化アルミ、窒化珪素およびシリカから選ばれる少なくとも一種を含有するものである請求項15に記載の半導体装置。

【請求項17】 絶縁性樹脂がエポキシ樹脂、フェノール樹脂、フッ素樹脂、シアネット樹脂、ポリフェニレンオキサイド樹脂およびポリフェニレンエーテル樹脂から選ばれる少なくとも一種を含有するものである請求項15に記載の半導体装置。

【請求項18】 請求項1～8のいずれかに記載の半導体装置の製造方法であって、キャリア層の上に配線パターンを形成し、第1の半導体チップが配線パターンにフリップチップ実装されたときに第1の半導体チップの周縁の外側に位置する配線パターン上の部分に、上方に向けて突出する取り出し電極を形成する工程と、第1の半

50

導体チップを配線パターン上にフリップチップ実装する工程と、キャリア層の上に絶縁層を形成する工程と、取り出し電極の先端に第2の半導体チップをフリップチップ実装する工程とを少なくとも有することを特徴とする半導体装置の製造方法。

【請求項19】 請求項1～8のいずれかに記載の半導体装置の製造方法であって、キャリア層の上に配線パターンを形成し、配線パターン上に第1の半導体チップをフリップチップ実装し、第1の半導体チップの一部または全部が埋設されるようにキャリア層の上に絶縁層を形成する工程と、第2の半導体チップを設置したときに第2の半導体チップの電極と対向する絶縁層上の位置から、少なくとも配線パターンが露出するまで、絶縁層に孔を形成する工程と、形成された孔に導電性材料を充填して第2の半導体チップと配線パターンとを接続する取り出し電極を形成する工程と、取り出し電極の先端に第2の半導体チップをフリップチップ実装する工程とを少なくとも有することを特徴とする半導体装置の製造方法。

【請求項20】 請求項1～8のいずれかに記載の半導体装置の製造方法であって、キャリア層の上に配線パターンを形成し、第1の半導体チップが配線パターンにフリップチップ実装されたときに第1の半導体チップの周縁の外側に位置する配線パターン上の部分に、上方に向けて突出する取り出し電極を形成する工程と、第1の半導体チップの背面と第2の半導体チップの電極面とを第2の半導体チップの電極が露出するよう接着する工程と、第1の半導体チップを配線パターン上に、第2の半導体チップを取り出し電極の先端にそれぞれフリップチップ実装する工程と、キャリア層の上に絶縁層を形成する工程とを少なくとも有することを特徴とする半導体装置の製造方法。

【請求項21】 請求項1～8のいずれかに記載の半導体装置の製造方法であって、金属層の上に第1の半導体チップをフリップチップ実装する工程と、第1の半導体チップが埋設されるように金属層の上に絶縁層を形成する工程と、金属層をエッチングして配線パターンを形成する工程と、第2の半導体チップを設置したときに第2の半導体チップの電極と対向する絶縁層上の位置から、少なくとも配線パターンが露出するまで、絶縁層に孔を形成する工程と、形成された孔に導電性材料を充填して第2の半導体チップと配線パターンとを接続する取り出し電極を形成する工程と、取り出し電極の先端に第2の半導体チップをフリップチップ実装する工程とを少なくとも有することを特徴とする半導体装置の製造方法。

【請求項22】 取り出し電極の先端に第2の半導体チップがフリップチップ実装される工程の前に、絶縁層の上面側から少なくとも絶縁層と第1の半導体チップとに除去加工を行ってこれらの厚みを小さくする工程を有している請求項18、19または21のいずれかに記載の

半導体装置の製造方法。

【請求項23】 キャリア層を剥離する工程を有している請求項18～20のいずれかに記載の半導体装置の製造方法。

【請求項24】 キャリア層が配線基板である請求項18～20のいずれかに記載の半導体装置の製造方法。

【請求項25】 複数の半導体装置が少なくとも絶縁層を共有した状態で形成されており、半導体装置ごとに分離する工程を有している請求項18～24のいずれかに記載の半導体装置の製造方法。

【請求項26】 請求項9～13のいずれかに記載の半導体装置の製造方法であって、

キャリア層の上に配線パターンを形成し、半導体チップを配線パターン上にフリップチップ実装し、半導体チップの一部または全部が埋設されるようにキャリア層の上に絶縁層を形成し、キャリア層を剥離して、最上層となる構造体を形成する工程とキャリア層の上に配線パターンを形成し、半導体チップが配線パターンにフリップチップ実装されたときに半導体チップの周縁の外側に位置

する配線パターン上の部分に、上方に向けて突出する取り出し電極を形成し、半導体チップを配線パターン上にフリップチップ実装し、半導体チップと取り出し電極とが埋設されるようにキャリア層の上に絶縁層を形成し、キャリア層を剥離して、最上層となる構造体以外の構造体を形成する工程と各構造体の半導体チップの電極面を同一方向に向け、最上層となる構造体以外の各構造体の取り出し電極が、該構造体より上層に位置する構造体の配線パターンと接続されるようにして、全部の構造体を積層する工程とを少なくとも有することを特徴とする半導体装置の製造方法。

【請求項27】 請求項9～13のいずれかに記載の半導体装置の製造方法であって、

キャリア層の上に配線パターンを形成し、半導体チップを配線パターン上にフリップチップ実装し、半導体チップの一部または全部が埋設されるようにキャリア層の上に絶縁層を形成し、キャリア層を剥離して、最上層となる構造体を形成する工程とキャリア層の上に配線パターンを形成し、配線パターン上に半導体チップをフリップチップ実装し、半導体チップの一部または全部が埋設さ

れるようにキャリア層の上に絶縁層を形成し、各構造体を積層したときに上層に位置する構造体の半導体チップの電極と対向する該絶縁層上の位置から、少なくとも配線パターンが露出するまで、該絶縁層に孔を形成し、形成された孔に導電性材料を充填して上方に突出する取り出し電極を形成し、キャリア層を剥離して、最上層となる構造体以外の構造体を形成する工程と、

各構造体の半導体チップの電極面を同一方向に向け、最上層となる構造体以外の各構造体の取り出し電極が、該構造体より上層に位置する構造体の配線パターンと接続されるようにして、全部の構造体を積層する工程とを少

なくとも有することを特徴とする半導体装置の製造方法。

【請求項28】 請求項9～13のいずれかに記載の半導体装置の製造方法であって、金属層の上に半導体チップをフリップチップ実装し、半導体チップが埋設されるように金属層の上に絶縁層を形成し、金属層をエッチングして配線パターンを形成し、最上層となる構造体を形成する工程と金属層の上に半導体チップをフリップチップ実装し、半導体チップが埋設されるように金属層の上に絶縁層を形成し、金属層をエッティングして配線パターンを形成し、各構造体を積層したときに上層に位置する構造体の半導体チップの電極と対向する該絶縁層上の位置から、少なくとも配線パターンが露出するまで、該絶縁層に孔を形成し、形成された孔に導電性材料を充填して上方向に突出する取り出し電極を形成して、最上層となる構造体以外の構造体を形成する工程と各構造体の半導体チップの電極面を同一方向に向け、最上層となる構造体以外の各構造体の取り出し電極が、該構造体より上層に位置する構造体の配線パターンと接続されるようにして、全部の構造体を積層する工程とを少なくとも有することを特徴とする半導体装置の製造方法。

【請求項29】 最下層に位置する構造体を形成するためのキャリア層が配線基板である請求項26～28のいずれかに記載の半導体装置の製造方法。

【請求項30】 絶縁層に形成された孔に充填する導電性材料が導電性樹脂組成物であり、該孔への導電性材料の充填がスクリーン印刷により行われており、スクリーン印刷の後、該導電性樹脂組成物を加熱して硬化させる請求項19、21、27または28のいずれかに記載の半導体装置の製造方法。

【請求項31】 キャリア層となる第1の金属層の上に剥離層を積層し、剥離層の上に配線パターンとなる第2の金属層を積層する工程と、第2の金属層の上にメッキにより第3の金属層を形成する工程と、第3の金属層をエッティングして取り出し電極を形成する工程と、第2の金属層をエッティングして配線パターンを形成する工程とを少なくとも有する方法によって、配線パターンと取り出し電極とが形成される請求項18、20または26のいずれかに記載の半導体装置の製造方法。

【請求項32】 キャリア層となる第1の金属層の上に剥離層を積層し、剥離層の上に配線パターンとなる第2の金属層を積層する工程と、第2の金属層における取り出し電極の形成が意図された領域が露出するように、第2の金属層の上にメッキレジスト膜を形成する工程と、メッキレジスト膜から露出した第2の金属層上に取り出し電極となる第3の金属層をメッキにより形成する工程と、メッキレジスト膜を剥離する工程と、第2の金属層をエッティングして配線パターンを形成する工程とを少なくとも有する方法によって、配線パターンと取り出し電

極とが形成される請求項18、20または26のいずれかに記載の半導体装置の製造方法。

【請求項33】 キャリア層となる第1の金属層の上に剥離層を積層し、剥離層の上に配線パターンとなる第2の金属層を積層する工程と、第2の金属層における取り出し電極の形成が意図された領域が露出するように、第2の金属層の上に第1のメッキレジスト膜を形成する工程と、第1のメッキレジスト膜から露出した第2の金属層上に取り出し電極となる第3の金属層をメッキにより形成する工程と、第1のメッキレジスト膜を剥離する工程と、第2の金属層上における配線パターンとなる領域と第3の金属層の上面とが露出するように、第2のメッキレジスト膜を形成する工程と、第2のメッキレジスト膜から露出した第2の金属層と第3の金属層の上面とに、メッキにより、第2の金属層と第3の金属層とを腐食するエッティング液に対し化学的に安定な金属成分を有する金属材料で第4の金属層を形成する工程と、第2のメッキレジスト膜を剥離する工程と、第4の金属層をエッティングマスクとして第2の金属層をエッティングして、配線パターンを形成する工程とを少なくとも有する方法によって、配線パターンと取り出し電極とが形成される請求項18、20または26のいずれかに記載の半導体装置の製造方法。

【請求項34】 メッキ法、蒸着法、スクリーン印刷法から選ばれる少なくとも一つの方法によって取り出し電極が形成される請求項18、20または26のいずれかに記載の半導体装置の製造方法。

【請求項35】 複数の半導体装置が、各半導体装置を構成する構造体が別の半導体装置を構成する構造体と絶縁層を共有した状態で、形成されており、半導体装置ごとに分離する工程を有している請求項26～28のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体チップが積層されてなる半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年の電子機器の高性能化、小型化の要求に伴い、半導体装置（半導体パッケージ）の高密度化、小型化、薄型化が必要とされている。このため、ほぼチップサイズにまで小型化された半導体装置であるCSP (Chip Scale Package) が普及してきている。

【0003】また、半導体装置の高密度化、小型化を達成するため、半導体チップの基板への実装にフリップチップ実装が多く採用されている。フリップチップ実装は、半導体チップを配線パターン上にフェイスダウン状態で実装する方式である。フリップチップ実装には、ワイヤーボンディング法に比べ、半導体チップの電極と配

線バターン上の入出力端子電極との接続長を短縮化でき、且つ、近年の半導体チップの小型化と接続端子数の増加による電極間の狭ビッチ化にも対応できるという利点がある。このため、フリップチップ実装は高密度化、小型化された半導体装置に適した実装方法と言える。

【0004】ところで、携帯情報機器等においては、メモリ等の付加価値の追加や容量の増加を目的として複数個の半導体チップを平面方向に配列・実装してなるマルチップパッケージ等が用いられる。しかし、このマルチップパッケージでは実装する半導体チップの総面積よりも小さなパッケージを作製することができないという問題がある。そのため、実装面積の低減を図るべく、複数個の半導体チップを積層して実装密度を高めたスタックドパッケージと呼ばれる構造が提案（特開平5-90486号公報等）されている。さらに、スタックドパッケージをCSP化したものも提案（特開平11-204720号等）されている。

【0005】一方、例えばカードサイズの情報端末等といった薄型の機器においては、半導体装置の薄型化、低背化が望まれており、半導体チップ自身を研磨により薄くする事が要求されている。しかし、厚みが100μm以下の半導体チップは機械的強度が弱く、半導体ウェハを研磨により薄くすることはウェハ割れ発生の原因となり、また個々の半導体チップの研磨はより困難で効率的ではない。さらに、薄型化して得られた半導体チップは機械的強度が弱いため、フリップチップ実装では、実装時に荷重をかけることができず、また破壊される恐れがあり、取り扱いが難しい。

【0006】このため、配線バターンに半導体チップをフリップチップ実装し、熱硬化性樹脂と無機フィラーの混合物で半導体チップを埋設した後に、半導体チップの背面側から所望の厚みになるまで研磨して、半導体チップを薄くする方法も提案されている。この方法によれば、フリップチップ実装後の半導体チップを樹脂封止した状態で研磨を行うので、半導体チップに機械的衝撃を加えずに厚みの薄い半導体装置を得ることができる。更に、この方法によると、研磨時の半導体チップの汚染を防止することもできる。

【0007】

【発明が解決しようとする課題】しかしながら、上述のスタックドパッケージにおいては、積層時に上層に位置する半導体チップと配線バターンとの接続にワイヤーボンディングを用いる必要がある。このため、半導体チップの周囲にワイヤーボンディング用のスペースを確保しなければならず、特に多ピンの半導体チップ程必要なスペースは大きくなり、小型化に適さないという問題がある。更に、接続のためのワイヤー（金属細線）が長くなってしまい、高速動作させる半導体チップでは金属細線によるインダクタンス成分の影響が大きいという問題もある。また、ワイヤーの一部は上層の半導体チップの上

面よりも突出してしまうため、ワイヤーボンディングは半導体装置の薄型化、低背化の妨げとなっている。

【0008】本発明の目的は、上記課題を解決し、複数の半導体チップを積層して実装でき、且つ、従来に比べ小型化および薄型化を図り得る半導体装置およびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明にかかる半導体装置の第1の態様は、配線バターンと、配線バターンに実装される第1の半導体チップと、第1の半導体チップの背面側に、第1の半導体チップに電極面を向けて設置される第2の半導体チップと、第1の半導体チップの周縁より外側に位置する配線バターン上の部分から第2の半導体チップに向けて突出し、第2の半導体チップに接続される取り出し電極と、第1の半導体チップおよび取り出し電極の一部又は全部を埋設する絶縁層とを少なくとも有することを特徴とする。

【0010】かかる構成により、積層時に上層側となる

20 第2の半導体チップと配線バターンとの接続にワイヤーボンディングを用いなくてもよく、半導体チップの周囲にワイヤーボンディング用のスペースを設けなくても良いため、小型化を図ることができる。更に、ワイヤーボンディングを用いた場合に比べ、第2半導体チップの電極と配線バターン上の入出力端子電極との接続長を短くでき、高速動作させる半導体チップを用いた場合でもインダクタンス成分の影響を小さくすることが可能となる。

【0011】上記第1の態様にかかる半導体装置においては、第1の半導体チップが、その背面のみが絶縁層から露出した状態で、絶縁層に埋設されているのが好ましい。この場合、絶縁層の厚みをより薄くできるので、薄型化に適した態様となる。

30 【0012】更に上記第1の態様においては、第1の半導体チップの背面が、第2の半導体チップの電極面に接着されているのが好ましい。この場合、第1の半導体チップの厚みが薄くても機械的強度の向上を図ることができる。

【0013】上記第1の態様においては、第2の半導体

40 チップの電極面の面積が第1の半導体チップの電極面の面積よりも大きくなっている、第2の半導体チップの電極面には複数の電極が、該電極面の外周に沿って、第1の半導体チップの周縁より外側に位置するように配置されているのが好ましい。この場合は、第2の半導体チップの電極と配線バターン上の入出力端子電極とを対向させることができ、これらの接続長を最短距離とできるので、高速動作させる半導体チップを用いた場合のインダクタンス成分の影響を更に小さくすることが可能となる。

50 【0014】上記第1の態様においては、第1の半導体

チップおよび／または第2の半導体チップの電極に金属パンプが設けられており、導電性接着剤を介して、第1の半導体チップに設けられた金属パンプは配線パターンに、第2の半導体チップに設けられた金属パンプは取り出し電極に固着されているのが好ましい。この場合、ハンダによって接続する場合に比べ、接続を低温で行え、半導体チップに与える熱によるダメージを減少できる。

【0015】上記第1の態様においては、第1の半導体チップおよび／または第2の半導体チップの電極に金属パンプが設けられており、導電性フィラーを分散させてなる接着シートまたはペーストを介して、第1の半導体チップに設けられた金属パンプは配線パターンに、第2の半導体チップに設けられた金属パンプは取り出し電極に固着されているのが好ましい。この場合、第1の半導体チップと配線パターンとの間を同時に樹脂によって封止でき、更に微細なピッチに対応できる。

【0016】上記第1の態様においては、第1の半導体チップおよび／または第2の半導体チップの電極に金属パンプが設けられており、熱硬化性樹脂で形成されたシートまたはペーストによって、第1の半導体チップに設けられた金属パンプは配線パターンに、第2の半導体チップに設けられた金属パンプは取り出し電極に固着されているのが好ましい。この場合、低コストな接続が可能となる。

【0017】上記第1の態様においては、配線パターンが配線基板の一方の面に設けられており、配線基板は外部と接続するための外部接続端子を少なくとも有し、外部接続端子は配線パターンと接続されているのが好ましい。この場合、半導体装置をBGA (Ball Grid Array) として使用でき、リフロー等の設備で容易に別の基板に実装することできる。

【0018】上記目的を達成するために本発明にかかる半導体装置の第2の態様は、配線パターンと、配線パターン上に実装される半導体チップと、半導体チップの一部または全部を埋設する絶縁層とを少なくとも有する構造体を、各構造体の半導体チップの電極面を同一方向に向けて積層してなる半導体装置であって、上層に位置する構造体の半導体チップの電極面の面積は、その下層に位置する構造体の半導体チップの電極面の面積よりも大きくなっている、最上層となる構造体以外の各構造体は、半導体チップの周縁より外側に位置する配線パターン上の部分から上方に突出し、且つ、一部が絶縁層から露出する取り出し電極を有しており、各構造体の取り出し電極は絶縁層から露出した部分で上層に位置する構造体の配線パターンと接続されていることを特徴とする。

【0019】かかる構成によれば、第1の態様に比べ更に複数の半導体チップを積層できるため、より高密度な実装を容易に行うことができる。

【0020】上記第2の態様においては、半導体チップ

の電極に金属パンプが設けられており、金属パンプは導電性接着剤を介して配線パターンに固着されているのが好ましい。この場合、ハンダによって接続する場合に比べ、接続を低温で行え、半導体チップに与える熱によるダメージを減少できる。

【0021】上記第2の態様においては、半導体チップの電極に金属パンプが設けられており、金属パンプは、導電性フィラーを分散させてなる接着シートまたはペーストを介して、配線パターンに固着されているのが好ましい。この場合、第1の半導体チップと配線パターンとの間を同時に樹脂によって封止でき、更に微細なピッチに対応できる。

【0022】上記第2の態様においては、半導体チップの電極に金属パンプが設けられており、金属パンプは、熱硬化性樹脂で形成されたシートまたはペーストによって、配線パターンに固着されているのが好ましい。この場合、低コストな接続が可能となる。

【0023】上記第2の態様においては、最下層の構造体を構成する配線パターンが配線基板の一方の面に設けられており、配線基板は外部と接続するための外部接続端子を少なくとも有し、外部接続端子は配線パターンと接続されているのが好ましい。この場合、半導体装置をBGA (Ball Grid Array) として使用でき、リフロー等の設備で容易に別の基板に実装することできる。

【0024】上記第1および第2の態様においては、配線パターンが、金属箔、リードフレームおよび導電性樹脂組成物から選ばれる少なくとも一つで形成されているのが好ましい。これにより、低電気抵抗で、微細な配線パターンを形成できる。

【0025】上記第1および第2の態様においては、絶縁層が、無機フィラーと絶縁性樹脂とを少なくとも含有する材料によって形成されているのが好ましい。この場合、無機フィラーの選択によって、半導体チップを埋設する絶縁層の熱伝導度、線熱膨張係数および誘電率等の調整が可能となる。

【0026】更に、無機フィラーはアルミナ、マグネシア、窒化ホウ素、窒化アルミ、窒化珪素およびシリカから選ばれる少なくとも一種を含有するものであるのが好ましい。このような、無機フィラーは熱伝導性に優れ、半導体チップを埋設する絶縁層の放熱性を高めることができる。更に無機フィラーとしてアルミナを用いた場合は低コスト化が図れる。また、無機フィラーとしてマグネシアを用いた場合は、絶縁層の線熱膨張係数を大きくすることができる。反対に無機フィラーとして、窒化ホウ素、窒化アルミ、窒化珪素を用いた場合は、絶縁層の線熱膨張係数を低くすることができる。また、無機フィラーとしてシリカを用いた場合は、絶縁層の誘電率を小さくすることができる。

【0027】また、上記絶縁性樹脂はエポキシ樹脂、フ

エノール樹脂、フッ素樹脂、シアネート樹脂、ポリフェニレンオキサイド樹脂およびポリフェニレンエーテル樹脂から選ばれる少なくとも一種を含有するものであるのが好ましい。これにより、耐熱性や電気絶縁性、高周波特性を向上させることができる。

【0028】上記本発明の目的を達成するため、本発明にかかる半導体装置の製造方法の第1の態様は、上記半導体装置の第1の態様を製造する方法であって、キャリア層の上に配線パターンを形成し、第1の半導体チップが配線パターンにフリップチップ実装されたときに第1の半導体チップの周縁の外側に位置する配線パターン上の部分に、上方に向けて突出する取り出し電極を形成する工程と、第1の半導体チップを配線パターン上にフリップチップ実装する工程と、キャリア層の上に絶縁層を形成する工程と、取り出し電極の先端に第2の半導体チップをフリップチップ実装する工程とを少なくとも有することを特徴とする。

【0029】上記本発明の目的を達成するため、本発明にかかる半導体装置の製造方法の第2の態様は、上記半導体装置の第1の態様を製造する方法であって、キャリア層の上に配線パターンを形成し、配線パターン上に第1の半導体チップをフリップチップ実装し、第1の半導体チップの一部または全部が埋設されるようにキャリア層の上に絶縁層を形成する工程と、第2の半導体チップを設置したときに第2の半導体チップの電極と対向する絶縁層上の位置から、少なくとも配線パターンが露出するまで、絶縁層に孔を形成する工程と、形成された孔に導電性材料を充填して第2の半導体チップと配線パターンとを接続する取り出し電極を形成する工程と、取り出し電極の先端に第2の半導体チップをフリップチップ実装する工程とを少なくとも有することを特徴とする。かかる方法によれば、絶縁層の厚みが大きい場合であっても、取り出し電極を確実に形成することができる。

【0030】上記本発明の目的を達成するため、本発明にかかる半導体装置の製造方法の第3の態様は、上記半導体装置の第1の態様を製造する方法であって、キャリア層の上に配線パターンを形成し、第1の半導体チップが配線パターンにフリップチップ実装されたときに第1の半導体チップの周縁の外側に位置する配線パターン上の部分に、上方に向けて突出する取り出し電極を形成する工程と、第1の半導体チップの背面と第2の半導体チップの電極面と、第2の半導体チップの電極が露出するように接着する工程と、第1の半導体チップを配線パターン上に、第2の半導体チップを取り出し電極の先端にそれぞれフリップチップ実装する工程と、キャリア層の上に絶縁層を形成する工程とを少なくとも有することを特徴とする。かかる方法によれば、半導体装置の製造をより容易に行うことができる。更に、第1の半導体チップおよび第2の半導体チップの厚みを薄くした場合であっても、これらを貼り合せているため、これらの機械

的強度を向上することができ、実装時の取り扱いを容易なものとできる。

【0031】上記本発明の目的を達成するため、本発明にかかる半導体装置の製造方法の第4の態様は、上記半導体装置の第1の態様を製造する方法であって、金属層の上に第1の半導体チップをフリップチップ実装する工程と、第1の半導体チップが埋設されるように金属層の上に絶縁層を形成する工程と、金属層をエッチングして配線パターンを形成する工程と、第2の半導体チップを設置したときに第2の半導体チップの電極と対向する絶縁層上の位置から、少なくとも配線パターンが露出するまで、絶縁層に孔を形成する工程と、形成された孔に導電性材料を充填して第2の半導体チップと配線パターンとを接続する取り出し電極を形成する工程と、取り出し電極の先端に第2の半導体チップをフリップチップ実装する工程とを少なくとも有することを特徴とする。

【0032】上記本発明にかかる半導体装置の製造方法の第1、第2および第4の態様は、取り出し電極の先端に第2の半導体チップがフリップチップ実装される工程の前に、絶縁層の上面側から少なくとも絶縁層と第1の半導体チップとに除去加工を行ってこれらの厚みを小さくする工程を有しているのが好ましい。この場合、半導体装置の薄型化を図ることができる。

【0033】上記本発明にかかる半導体装置の製造方法の第1～第3の態様は、更にキャリア層を剥離する工程を有しているのが好ましい。また、上記本発明にかかる半導体装置の製造方法の第1～第3の態様は、キャリア層が配線基板であるのが好ましい。更に、上記本発明にかかる半導体装置の製造方法の第1～第4の態様は、複数の半導体装置が少なくとも絶縁層を共有した状態で形成されており、半導体装置ごとに分離する工程を有しているのが好ましい。この場合、一度に多数の半導体装置を作製できるため、半導体装置のコストの低下を図ることができる。

【0034】上記本発明の目的を達成するため、本発明にかかる半導体装置の製造方法の第5の態様は、上記半導体装置の第2の態様を製造する方法であって、キャリア層の上に配線パターンを形成し、半導体チップを配線パターン上にフリップチップ実装し、半導体チップが埋設されるようにキャリア層の上に絶縁層を形成し、キャリア層を剥離して、最上層となる構造体を形成する工程と、キャリア層の上に配線パターンを形成し、半導体チップが配線パターンにフリップチップ実装されたときに半導体チップの周縁の外側に位置する配線パターン上の部分に、上方に向けて突出する取り出し電極を形成し、半導体チップを配線パターン上にフリップチップ実装し、半導体チップと取り出し電極とが埋設されるようにキャリア層の上に絶縁層を形成し、キャリア層を剥離して、最上層となる構造体以外の構造体を形成する工程と、各構造体の半導体チップの電極面を同一方向に向

け、最上層となる構造体以外の各構造体の取り出し電極が、該構造体より上層に位置する構造体の配線パターンと接続されるようにして、全部の構造体を積層する工程とを少なくとも有することを特徴とする。この場合、半導体チップが多層化された半導体装置を容易に作製することができる。

【0035】上記本発明の目的を達成するため、本発明にかかる半導体装置の製造方法の第6の態様は、上記半導体装置の第2の態様を製造する方法であって、キャリア層の上に配線パターンを形成し、配線パターン上に半導体チップをフリップチップ実装し、半導体チップの一部または全部が埋設されるようにキャリア層の上に絶縁層を形成し、キャリア層を剥離して、最上層となる構造体を形成する工程と、キャリア層の上に配線パターンを形成し、配線パターン上に半導体チップをフリップチップ実装し、半導体チップの一部または全部が埋設されるようにキャリア層の上に絶縁層を形成し、各構造体を積層したときに上層に位置する構造体の半導体チップの電極と対向する該絶縁層上の位置から、少なくとも配線パターンが露出するまで、該絶縁層に孔を形成し、形成された孔に導電性材料を充填して上方に突出する取り出し電極を形成し、キャリア層を剥離して、最上層となる構造体以外の各構造体を形成する工程と、各構造体の半導体チップの電極面を同一方向に向け、最上層となる構造体以外の各構造体の取り出し電極が、該構造体より上層に位置する構造体の配線パターンと接続されるようにして、全部の構造体を積層する工程とを少なくとも有することを特徴とする。かかる場合、構造体を構成する絶縁層の厚みが大きい場合でも、取り出し電極を確実に形成することができる。

【0036】上記本発明の目的を達成するため、本発明にかかる半導体装置の製造方法の第7の態様は、上記半導体装置の第2の態様を製造する方法であって、金属層の上に半導体チップをフリップチップ実装し、半導体チップが埋設されるように金属層の上に絶縁層を形成し、金属層をエッチングして配線パターンを形成して、最上層となる構造体を形成する工程と、金属層の上に半導体チップをフリップチップ実装し、半導体チップが埋設されるように金属層の上に絶縁層を形成し、金属層をエッチングして配線パターンを形成し、各構造体を積層したときに上層に位置する構造体の半導体チップの電極と対向する該絶縁層上の位置から、少なくとも配線パターンが露出するまで、該絶縁層に孔を形成し、形成された孔に導電性材料を充填して上方に突出する取り出し電極を形成して、最上層となる構造体以外の各構造体を形成する工程と、各構造体の半導体チップの電極面を同一方向に向け、最上層となる構造体以外の各構造体の取り出し電極が、該構造体より上層に位置する構造体の配線パターンと接続されるようにして、全部の構造体を積層する工程とを少なくとも有することを特徴とする。

【0037】上記本発明にかかる半導体装置の製造方法の第5～第7の態様では、最下層に位置する構造体を形成するためのキャリア層が配線基板であるのが好ましい。かかる場合、作製された半導体装置を外部の基板に接続する場合に、微細なピッチで接続することが可能となる。

【0038】上記本発明にかかる半導体装置の製造方法の第2、第4、第6、第7の態様では、絶縁層に形成された孔に充填する導電性材料が導電性樹脂組成物であり、該孔への導電性材料の充填がスクリーン印刷により行われており、スクリーン印刷の後、該導電性樹脂組成物を加熱して硬化させるのが好ましい。かかる方法によれば、取り出し電極の作製をより簡易に行うことが可能となる。

【0039】上記本発明にかかる半導体装置の製造方法の第1、第3および第5の態様では、キャリア層となる第1の金属層の上に剥離層を積層し、剥離層の上に配線パターンとなる第2の金属層を積層する工程と、第2の金属層の上にメッキにより第3の金属層を形成する工程と、第3の金属層をエッティングして取り出し電極を形成する工程と、第2の金属層をエッティングして配線パターンを形成する工程とを少なくとも有する方法によって、配線パターンと取り出し電極とが形成されるのが好ましい。この場合、フォトリソグラフィ等の化学エッティング法により配線パターンを形成できるので、微細な配線パターンを形成できる。

【0040】更に、上記本発明にかかる半導体装置の製造方法の第1、第3および第5の態様では、キャリア層となる第1の金属層の上に剥離層を積層し、剥離層の上に配線パターンとなる第2の金属層を積層する工程と、第2の金属層における取り出し電極の形成が意図された領域が露出するように、第2の金属層の上にメッキレジスト膜を形成する工程と、メッキレジスト膜から露出した第2の金属層上に取り出し電極となる第3の金属層をメッキにより形成する工程と、メッキレジスト膜を剥離する工程と、第2の金属層をエッティングして配線パターンを形成する工程とを少なくとも有する方法によって、配線パターンと取り出し電極とが形成されているのも好ましい。この場合、取り出し電極の形成にアディティブ法を用いているため、より狭ピッチで取り出し電極を形成できる。

【0041】また、上記本発明にかかる半導体装置の製造方法の第1、第3および第5の態様では、キャリア層となる第1の金属層の上に剥離層を積層し、剥離層の上に配線パターンとなる第2の金属層を積層する工程と、第2の金属層における取り出し電極の形成が意図された領域が露出するように、第2の金属層の上に第1のメッキレジスト膜を形成する工程と、第1のメッキレジスト膜から露出した第2の金属層上に取り出し電極のパターンとなる第3の金属層をメッキにより形成する工程と、

第1のメッキレジスト膜を剥離する工程と、第2の金属層上における配線パターンとなる領域と第3の金属層の上面とが露出するように、第2のメッキレジスト膜を形成する工程と、第2のメッキレジスト膜から露出した第2の金属層と第3の金属層の上面とに、メッキにより、第2の金属層と第3の金属層とを腐食するエッチング液に対し化学的に安定な金属成分を有する金属材料で第4の金属層を形成する工程と、第2のメッキレジスト膜を剥離する工程と、第4の金属層をエッチングマスクとして第2の金属層をエッチングして、配線パターンを形成する工程とを少なくとも有する方法によって、配線パターンと取り出し電極とが形成されているのも好ましい。この場合、配線パターンおよび取り出し電極の表面を第4の金属層で被覆するため、酸化防止や接続の低抵抗化を図ることが出来る。

【0042】更に、上記本発明にかかる半導体装置の製造方法の第1、第3および第5の態様では、メッキ法、蒸着法、スクリーン印刷法から選ばれる少なくとも一つの方法によって取り出し電極が形成されるのが好ましい。また、上記本発明にかかる半導体装置の製造方法の第5～第7の態様では、複数の半導体装置が、各半導体装置を構成する構造体が別の半導体装置を構成する構造体と絶縁層を共有した状態で、形成されており、半導体装置ごとに分離する工程を有しているのが好ましい。この場合、一度に多数の半導体装置を作製できるため、半導体装置のコストの低下を図ることができる。

【0043】

【発明の実施の形態】（実施の形態1）以下、本発明の実施の形態1にかかる半導体装置およびその製造方法について、図1を参照しながら説明する。図1は本発明の実施の形態1にかかる半導体装置を示す断面図である。図2は、図1に示す半導体装置の製造方法の一例を工程ごとに示す断面図である。図3～図5は、図1に示す半導体装置の配線パターンおよび取り出し電極を形成する方法を示す断面図である。

【0044】図1の例に示すように、本発明の実施の形態1にかかる半導体装置100は、配線パターン103と、配線パターンに実装される第1の半導体チップ101と、第2の半導体チップ102と、配線パターン103と第2の半導体チップ102とを接続する取り出し電極104と、絶縁層105とを少なくとも有している。

【0045】第2の半導体チップ102は、第1の半導体チップ101の背面側に、第1の半導体チップ101に電極面を向けて設置されている。取り出し電極104は、第1の半導体チップ101の周縁より外側に位置する配線パターン103上の部分から第2の半導体チップ102に向けて突出し、第2の半導体チップ102に接続されるように形成されている。絶縁層105は、第1の半導体チップ101の全部および取り出し電極104の一部が埋設されるように形成されている。

(9)
16

【0046】本発明の半導体装置100はこのような構成を有しているため、積層時に上側となる第2の半導体チップ102と配線パターン103との接続は、第2の半導体チップ102を取り出し電極104にフリップチップ実装することによって行うことができる。よって、本発明の半導体装置100においては、半導体チップの周囲にワイヤーボンディング用のスペースを設けなくても良く、従来の半導体装置に比べて容易に小型化を図ることができる。更に第2の半導体チップ102と配線パターン103との接続長を、ワイヤーボンディングを用いる場合に比べて短くできるので、高速動作させる半導体チップを用いる場合でもインダクタンス成分の影響を小さくすることが可能となる。

【0047】図1の例では、第1の半導体チップ101と第2の半導体チップとはサイズが異なっている。第2の半導体チップ102としては、電極面の面積が第1の半導体チップ101の電極面の面積よりも大きい半導体チップが用いられている。第2の半導体チップ102の電極面には、複数の電極が電極面の外周に沿って配列されている。なお、図1の例では、第1の半導体チップ101の電極面にも複数の電極が電極面の外周に沿って配列されているが、本発明においてはこれに限定されるものではない。第1の半導体チップ101の電極は電極面にアレイ状に配列されていても良い。第2の半導体チップ102の電極は、第2の半導体チップ102を第1の半導体チップ101の背面側に配置したときに、第1の半導体チップ101の周縁より外側に位置するように配置されている。

【0048】このため、第2の半導体チップ102の電極と、配線パターン103上の入出力端子電極（図示せず）とを対向させることができるので、第2の半導体チップ102と配線パターンとの接続長を最も短くできる。よって、高速動作させる半導体チップを用いる場合でもインダクタンス成分の影響も最も小さくすることが可能となる。

【0049】第1の半導体チップ101および第2の半導体チップ102としては、回路形成面上に電極を有するものであれば特に限定されることなく用いることができ、例えば、トランジスタ、IC、LSIなどの半導体素子が挙げられる。図1の例では、第1の半導体チップ101と第2の半導体チップ102とは共に半導体ペアチップである。

【0050】第1の半導体チップ101の配線パターン103への実装方式や、第2の半導体チップ102の取り出し電極104への実装方式は、特に限定されるものではない。但し、半導体チップが半導体ペアチップの場合においては、図1の例に示すようにフリップチップ実装方式による実装が好ましいものとして挙げられる。

【0051】図1の例では、第1の半導体チップ101の電極および第2の半導体チップ102の電極には金や

ハンダを主成分とする金属バンプ106が設けられている。この金属バンプ106は導電性接着剤(図示せず)を介して配線パターン103または取り出し電極104に接続されている。このため第1の半導体チップ101は導電性接着剤により配線パターン103に固定される。

【0052】また、金属バンプ106の厚みは、ワイヤーボンディングによってワイヤーが半導体チップから突出する高さよりも小さく、本発明の半導体装置100は従来のワイヤーボンディングを用いた半導体装置に比べ薄型化、低背化が測られている。導電性接着剤を用いた場合は、ハンダによって接続する場合に比べ、低温で接続を行うことができるため、半導体チップに与えられる熱によるダメージを減少できる点で好ましいといえる。

【0053】なお、第1の半導体チップ101と配線パターン103との接続部分や、第2の半導体チップ102と取り出し電極104との接続部分は、樹脂により封止しておくのが好ましい態様である。樹脂による封止を行えば、接続部分を機械的に補強できるため、その後の工程において導電性接着剤による接続不良が生じるのを抑制できるからである。このような樹脂としては、従来よりフリップチップ実装において使用されているアンダーフィル樹脂が利用できる。

【0054】本実施の形態においては、この例に限定されず、導電性接着剤の代わりに、導電性フィラーを分散させた接着シート(ACF)やペースト(ACP)を用いることもできる。ACFやACPを用いれば、第1の半導体チップ101と配線パターン103との接続部分をACFやACPによって封止できるので、接続部分を別工程で樹脂によって封止する必要がないという利点がある。また、導電性接着剤を用いる場合に比べ、微細なピッチの電極に対応できる。

【0055】更に、本発明においては、熱硬化性樹脂で形成されたシート(NCF)やペースト(NCP)によって、半導体チップの電極に設けられた金属バンプを接続対象となる配線パターン103または取り出し電極104に固着する方法を用いることができる。具体的には、半導体チップと接続対象との間に熱硬化性樹脂で形成されたシート(NCF)やペースト(NCP)を介在させた状態で、金属バンプを接続対象に圧接し、このシートやペーストを加熱収縮させることによって、行われる。NCFまたはNCPを用いた場合においても、第1の半導体チップ101と配線パターン103との接続部分はNCFやNCPによって封止できるので、接続部分を別工程で樹脂によって封止する必要がないという利点がある。また、導電性接着剤を用いる場合に比べ低コストで接続できるという利点もある。

【0056】配線パターン103は、導電性に優れ、回路形成を容易に行い得るものであれば良く、特に限定されるものではない。配線パターン103の形成材料や形

成方法については、後述の図2において説明する。配線パターン103は配線基板の一方の面に設けられた態様であっても良い。この配線基板としては、例えば内部に二層以上の配線層が形成された多層配線板が挙げられる。配線基板には、配線パターン103が設けられていない面に、外部と接続でき、且つ、配線基板内部で配線パターン103と接続される外部接続端子が設けられているのが好ましい。このように配線パターン103と接続された外部接続端子が設けられていると、半導体装置をBGA(Ball Grid Array)として使用でき、リフロー等の設備を用いることで容易に外部の基板に実装することできる。配線基板を用いる場合は、配線パターンは、配線基板の一方の面上に形成されても良いし、その一面だけが露出するように配線基板に埋設されていても良い。

【0057】図1の例では、取り出し電極104は、配線パターン103上の入出力端子電極(図示せず)から上方向に突出するように形成されており、先端を除いて絶縁層105に埋設されている。この取り出し電極104により絶縁層105に埋設された配線パターン103と第2の半導体チップ102とは、電気的に接続された状態となる。更に、取り出し電極104は、配線パターン103と第2の半導体チップ102の電極とを最短距離で接続しているため、上述したように高速動作させる半導体チップを用いた場合のインダクタンス成分の影響を小さくすることが可能となる。取り出し電極104の形成材料や形成方法についても後述の図2において説明する。

【0058】次に、図1に示す本発明の実施の形態1にかかる半導体装置の製造方法について図2を用いて説明する。

【0059】図2(a)の例に示すように、最初の工程において、キャリア層207の上に配線パターン203を形成し、第1の半導体チップ201が配線パターン203にフリップチップ実装されたときに第1の半導体チップ201の周縁の外側に位置する配線パターン203上の部分に、上方に向けて突出する取り出し電極204を形成して、転写パターン形成材が作製される。

【0060】図2(a)の例では、キャリア層207上には剥離層208が設けられており、配線パターン203は剥離層208の上に形成されている。これは後の工程でキャリア層207を絶縁層205から剥がし易くするためである。剥離層208は、絶縁層205からキャリア層207を剥がし易くするものであれば特に限定されるものではない。具体的には、薄い有機層や金属メッキ層を剥離層208として用いることができる。なお、剥離層208と配線パターン203との接着強度は、キャリア層207を剥がす際に絶縁層205に固着されている配線パターン203が引き剥がされてしまわない程度とするのが好ましい。

【0061】キャリア層207としては、例えば、銅箔、アルミ箔等の金属箔を用いることができる。このうち、搬送性や剥離層との適度な接着強度を有する点から、厚みが50μm～100μmの銅箔を用いるのが好ましい。キャリア層に金属箔を用いる理由は、後の工程で絶縁層209を形成したときに、配線パターン203が絶縁層205を形成する際の樹脂の流動によって動くのを抑制できるためである。

【0062】配線パターン203の形成は、金属箔や導電性樹脂組成物などの電気伝導性に優れた材料をバーン形状とすることによって、またバーン形状に形成されたリードフレームを剥離層208に接着することによって行うことができる。

【0063】具体的には、例えば金属箔を形成材料として用いる場合は、予めバーン形状に形成された金属箔をキャリア層207(剥離層208)の上に転写することによって、またはキャリア層207(剥離層208)の上に金属箔を積層し、それをエッチングによってバーン形状に成形することによって、配線パターン203を形成することが出来る。

【0064】このようにキャリア層207を用いて配線パターン203を形成すればエッチング等による微細な配線パターンの作製が容易となり、取り扱いが容易となる点で好ましい。金属箔は特に銅箔であるのが、コストが低く、電気伝導性が優れている点から好ましい。なお、配線バーン203の形成方法については後述の図3～図5において詳述する。

【0065】リードフレームを形成材料として用いる場合は、予め金属板をエッチングや打ち抜き等によってバーン形状に加工し、これをキャリア層207(剥離層208)の上に接着することによって、配線パターン203を形成することが出来る。リードフレームは電気抵抗が低く、厚みのある金属材料で形成することができるので、この場合は配線パターン203に大電流を流すことが可能となる。

【0066】導電性樹脂組成物を形成材料として用いる場合は、配線パターン203はスクリーン印刷法等によって形成することができる。この場合、導電性樹脂組成物に含有させる導電性微粒子として、金粉、銀粉、銅粉およびニッケル粉といった金属粉やカーボン粉等を用いれば、配線パターンの低電気抵抗化を図れるので好ましい。導電性樹脂組成物を構成する樹脂としては、エポキシ樹脂、フェノール樹脂、シアネット樹脂から選ばれる少なくとも一つの熱硬化性樹脂を含む材料を用いるのが、配線パターンの耐熱性の向上を図りうる点で好ましい。

【0067】取り出し電極204は、金、銀、銅、ニッケル、スズ、鉛といった金属から選ばれる少なくとも一つの金属材料およびこれらの合金材料を用いて、メッキ法、蒸着法等を行うことによって形成できる。取り出し

電極204を形成する材料と配線パターン203を形成する材料とが同一成分の金属であるならば、同一のエッチング液を用いることができるので作製が容易となる利点がある。更に、取り出し電極204は、上述の配線パターン203と同様に、導電性樹脂組成物を用いて形成することもできる。この場合、取り出し電極204はスクリーン印刷法等により形成することができる。この導電性樹脂組成物としては、上述の配線パターンを形成するための導電性樹脂組成物を用いることができる。なお、取り出し電極204の形成方法についても後述の図3～図5において詳述する。

【0068】配線パターン203や取り出し電極204の表面には、金、銀、ニッケル、スズ、鉛から選ばれる少なくとも1種類を主成分とするメッキ液を用いたメッキ処理や、粗化処理を施しておくのが好ましい。メッキ処理を施した場合は酸化防止、耐食性の向上、低抵抗化を図ることができるからである。粗化処理を施した場合は、絶縁層205と配線パターン203との間ににおける接着強度の向上を図ることができるからである。

【0069】次の工程では、図2(b)の例に示すように、第1の半導体チップ201が配線パターン203上面にフリップチップ実装される。図2(b)の例では、図1の例で示したように、第1の半導体チップ201の電極には金属バンプ206が形成されており、金属バンプ206は導電性接着剤を介して配線パターン203に接着されている。更に、この導電性接着剤を硬化させるため加熱が行われている。

【0070】また、第1の半導体チップ201と配線パターン203との間には、上述したように第1の半導体チップ201と配線パターン203との接続部分を封止するため、樹脂を注入するのが良い。また、上述したように導電性接着剤の代わりにACFやACPを用いることができ、更にNCF、NCPを用いて第1の半導体チップ201を配線パターン203に実装しても良い。この場合、第1の半導体チップ201と配線パターン203との接続部分は、ACF、ACP、NCFまたはNCPで封止される。

【0071】次に図2(c)～(d)の例に示すように、キャリア層207の上に絶縁層205が形成される。図2(c)、(d)の例では、絶縁層205は剥離層208の表面に形成されている。具体的には、最初に図2(c)の例に示すように、未硬化のシート状の絶縁物209が、第1の半導体チップ201の上に位置合わせさせて配置される。次に、図2(d)に示すようにシート状の絶縁物209を第1の半導体チップ201を実装した配線パターン203に重ね合わせ、これを加熱・加圧することにより、絶縁物209が硬化して絶縁層205が形成される。配線パターン203、取り出し電極204および第1の半導体チップ201は、硬化した絶縁層205中に埋設された状態となり、絶縁層205に

強固に接着される。

【0072】絶縁物209の形成材料、即ち絶縁層205の形成材料としては、例えば、絶縁性樹脂や、絶縁性樹脂と無機フィラーとの混合物等を用いることができる。後者の場合、絶縁性樹脂および無機フィラーの選択によって、絶縁層205の熱伝導度、線熱膨張係数、誘電率等の調整が可能となる。無機フィラーとしては、例えば、アルミナ、マグネシア、窒化ホウ素、窒化アルミニ、窒化珪素、シリカ等を利用することができます。このような無機フィラーを含有した材料で絶縁層205を形成することにより、絶縁層205の熱伝導性や放熱性を高めることができ、埋設された第1の半導体チップ201から生じた熱をより効果的に放熱することができる。

【0073】特に、無機フィラーとしてアルミナを用いた場合は低コスト化を図ることができ、マグネシアを用いた場合は絶縁層205の線熱膨張係数を大きくすることができます。窒化ホウ素、窒化アルミニ、窒化珪素を用いた場合は、線熱膨張係数を低くすることができます。無機フィラーとしてシリカを用いた場合は、絶縁物の誘電率を小さくすることができるので、高周波用途に適した半導体装置を作成できる。絶縁性樹脂としては、単独で用いる場合と無機フィラーと混合する場合の両方において、耐熱性の向上の点からはエポキシ樹脂、フェノール樹脂、フッ素樹脂、シアネット樹脂などの熱硬化性樹脂が挙げられる。絶縁層205の誘電率を低下させて高周波特性の向上を図る点からは、ポリフェニレンオキシド(PPO)樹脂、ポリプロエチレン(PPE)樹脂ならびにそれらの樹脂を変成させた樹脂が挙げられる。

【0074】絶縁物209のシート状への加工は、形成材料が絶縁性樹脂と無機フィラーとの混合物であるならば、無機フィラーと液状の絶縁性樹脂とを混合して、または無機フィラーに溶剤で低粘度化した絶縁性樹脂を混合してペースト状の混合物を形成し、このペースト状の混合物をドクターブレード法等によって、フィルム上に均一の厚みで成形し、絶縁性樹脂の硬化温度以下で熱処理することによって行うことができる。なお、熱処理を行うのは、液状の絶縁性樹脂を用いる場合にあっては硬化を少し進めることによって、また溶剤で低粘度化した絶縁性樹脂を用いる場合にあっては溶剤を除去することによって、可撓性を有する未硬化状態を保持しつつ、粘着性を失わせてフィルムからの剥離を容易にするためである。

【0075】絶縁物209の加熱・加圧は、最初に熱硬化性樹脂が硬化しない温度で加熱加圧し、その後さらに加熱して熱硬化性樹脂を硬化させることにより行えば、絶縁層205による封止と絶縁層205の硬化をさらに確実に行うことができる。

【0076】本発明において絶縁層205の形成方法は、図2(c)および(d)に示された方法に限定されるものではない。例えば、シート状の絶縁物209を用

いずに、絶縁性樹脂ならびに絶縁性樹脂と無機フィラーとの混合物等を粉末状やペレット状に加工して、これを加熱して溶解し、溶解したものを成型金型中に注入することにより絶縁層205を形成することもできる。成型金型中に注入する方法としては、例えばトランスファー成型や射出成型等による方法を利用できる。このようなシート状の絶縁物209を用いない方法は、特に絶縁性樹脂が熱硬化性樹脂を含まない場合に有効である。

【0077】次に、図2(e)の例に示すように、剥離層208とキャリア層とが剥離される。これにより、配線パターン203と、第1の半導体チップ201と、取り出し電極204と、第1の半導体チップ201および取り出し電極204を埋設する絶縁層205とかなる構造体を得ることができる。この構造体において厚みは略均一である。

【0078】更に次の工程で、図2(f)の例に示すように、取り出し電極204の先端に第2の半導体チップ202がフリップチップ実装され、図1で示した半導体装置が完成する。図2(f)の例では、取り出し電極204先端は絶縁層205から露出しており、第2の半導体チップ202はこの露出した部分にフリップチップ実装されている。第2の半導体チップ202の電極にも金属パンプ206が設けられており、図2(b)に示した第1の半導体チップ201と配線パターン203との接続と同様にして、第2の半導体チップ202は配線パターン203に実装される。第2の半導体チップ202と取り出し電極204との接続部分も樹脂によって封止されているのが好ましい様である。

【0079】次に、図3～図5を用いて配線パターンと取り出し電極との形成方法について説明する。図3～図5には、それぞれ工程が異なる配線パターンと取り出し電極との形成方法が示されている。図3～図5に示す形成方法により、図2(a)に示された転写パターン形成材が形成される。なお、図3～図5において用いられる材料は、特に説明の無い限り、図1および図2の説明述べたものである。

【0080】最初に図3の例について説明する。図3(a)に示すように、最初の工程において、キャリア層301となる第1の金属層の上に剥離層302を積層し、剥離層302の上に配線パターン303となる第2の金属層313を積層する。剥離層302としては上述したように薄い有機層や金属メッキ層などが用いられる。第2の金属層313の形成は、例えば剥離層302の上に金属箔を接着したり、メッキにより金属層を形成することによって行うことができる。

【0081】次に、図3(b)に示すように、第2の金属層313の上にメッキにより第3の金属層314を形成する。更に図3(c)～(e)に示すように、第3の金属層314をエッチングして取り出し電極304を形成する。具体的には図3(c)に示すように、第3の金

膜層314の上に取り出し電極のパターン形状に合わせてエッチングレジスト膜305を形成する。エッチングレジスト膜305の形成は、例えばドライフィルムレジストを積層して紫外露光を行い、これを硬化させて行うことができる。さらに、図3(d)に示すように、化学的エッチングにより、取り出し電極304となる部分以外の第3の金属層314を除去することにより、取り出し電極304が形成される。その後、図3(e)に示すようにエッチングレジスト膜305が除去される。

【0082】次に、図3(f)～(h)に示すように、第2の金属層313をエッチングして配線パターン303を形成することによって、図2(a)に示した転写パターン形成材が得られる。具体的には、図3(f)に示すように、第2の金属層313上に配線パターン303のパターン形状に合わせてエッチングレジスト膜306を形成する。さらに、図3(g)に示すように、化学的エッチングにより配線パターン303となる部分以外の第2の金属層313を除去することにより、配線パターン303が形成される。この後、図3(h)に示すように、エッチングレジスト膜306が除去され、図2(a)に示した転写パターン形成材が得られる。

【0083】このように図3に示す形成方法によれば、フォトリソグラフィ等の化学エッチング法により配線パターンを形成することができるため、微細な配線パターン303を形成できるという利点がある。

【0084】次に図4の例について説明する。最初に図4(a)に示すように、キャリア層301となる第1の金属層の上に剥離層302を積層し、剥離層302の上に配線パターン303となる第2の金属層313を積層する。この工程は図3(a)で示した工程と同様である。

【0085】次に、図4(b)に示すように、第2の金属層313における取り出し電極304の形成が意図された領域が露出するように、第2の金属層313の上にメッキレジスト膜307を形成する。更に図4(c)に示すように、メッキレジスト膜307から露出した第2の金属層313上に、取り出し電極となる第3の金属層314をメッキにより形成する。なお、図3の例と異なり、この第3の金属層314は既に取り出し電極304の形状に形成されている。その後、図4(d)に示すように、メッキレジスト膜307を剥離する。

【0086】更に、図4(e)～(g)に示すように、第2の金属層313をエッチングして配線パターン303を形成することによって、図3の例と同様に、図2(a)に示した転写パターン形成材が得られる。なお、図4(e)～(g)に示す工程は、図3(f)～(h)で示した工程と同様である。このように図4に示す形成方法においては、取り出し電極304の形成はアディティブ法で行われるため、取り出し電極304の狭ピッチ化を図ることができる。

【0087】次に、図5の例について説明する。最初に図5(a)に示すように、キャリア層301となる第1の金属層の上に剥離層302を積層し、剥離層302の上に配線パターン303となる第2の金属層313を積層する。この工程は図3(a)で示した工程と同様である。

【0088】次に、図5(b)に示すように、第2の金属層313における取り出し電極304の形成が意図された領域が露出するように、第2の金属層313の上に第1のメッキレジスト膜309を形成する。この工程は図4(b)で示した工程と同様であり、第1のメッキレジスト膜309は図4(b)で示したメッキレジスト膜307と同様のものである。

【0089】更に、図5(c)に示すように、第1のメッキレジスト膜309から露出した第2の金属層313上に、取り出し電極304となる第3の金属層314をメッキにより形成する。この工程は図4(c)で示した工程と同様である。その後、図5(d)に示すように、第1のメッキレジスト膜309を剥離する。

【0090】次に、図5(e)に示すように、第2の金属層313上における配線パターン303となる領域と第3の金属層314の上面とが露出するように、第2のメッキレジスト膜310を形成する。

【0091】更に図5(f)に示すように、第2のメッキレジスト膜310から露出した第2の金属層313と第3の金属層314の上面とに、メッキにより、第4の金属層308を形成する。このとき、第4の金属層308の構成材料としては、第2の金属層313と第3の金属層314とを腐食するエッチング液に対し化学的に安定な金属成分を有する金属材料を用いる。その後、図5(g)に示すように第2のメッキレジスト膜310を剥離する。最後に、図5(h)に示すように、第4の金属層308をエッチングマスクとして第2の金属層313をエッチングして、配線パターン303を形成することによって、図3の例と同様に、図2(a)に示した転写パターン形成材が得られる。

【0092】このように図5に示す形成方法によれば、配線パターン303および取り出し電極304の上面に金属層を設けることができるため、酸化防止や低抵抗な接続が可能となる。

【0093】(実施の形態2) 本発明の実施の形態2にかかる半導体装置およびその製造方法について図6を参照しながら説明する。図6は本発明の実施の形態2にかかる半導体装置およびその製造方法の一例を示す断面図であり、工程ごとに示している。なお、特に説明の無い限り、本実施の形態で用いられている材料は実施の形態1で用いられたものと同様であり、同じ呼称の構成部材は実施の形態1で示したものと同様の機能を持つ。

【0094】最初に図6(a)に示すように、キャリア層407上に剥離層408を介して形成された配線バタ

ーン403の上に、取り出し電極404を形成し、金属パンプ406を介して第1の半導体チップ401をフリップチップ実装し、第1の半導体チップ401、配線バターン403および取り出し電極404を埋設する絶縁層405をキャリア層407(剥離層408)の上に形成する。具体的には図2(a)～(d)に示した工程に従って行えば良い。但し、図4(a)の例では、取り出し電極404は全部が絶縁層405に埋設されている。取り出し電極404における第2の半導体チップ402との接続部分は後の工程で絶縁層405から露出させる。

【0095】次に、図6(b)に示すように、取り出し電極404の先端に第2の半導体チップ402をフリップチップ実装する前に、絶縁層405の上面側から絶縁層405と第1の半導体チップ401とに除去加工を行ってこれらの厚みを小さくして、取り出し電極404の先端を絶縁層405から露出させる。なお、このとき取り出し電極404の先端の一部に対しても同時に除去加工を行ってもよい。これにより、第1の半導体チップ401の背面と絶縁層405の上面とは同一面となり、第1の半導体チップ401の背面は絶縁層405から露出した状態になる。このような除去加工としては、例えば、研磨、切削、切断等の方法が挙げられる。

【0096】このように、本実施の形態にかかる半導体装置の製造方法においては、フリップチップ実装された第1の半導体チップ401を絶縁層405で封止した後に、研磨等の除去作業が行われるため、半導体装置の薄型化を行う際に半導体チップに加わる機械的衝撃を抑制することができる。

【0097】次に、図6(c)に示すように、キャリア層407と剥離層408とを剥離する。これにより、配線バターン403と、第1の半導体チップ401と、取り出し電極404と、第1の半導体チップ401および取り出し電極404を埋設する絶縁層405とからなる構造体を得ることができる。なお、本実施の形態においては、キャリア層407および剥離層408の剥離は、第1の半導体チップ401と絶縁層405の一部を研磨、切削、切断等によって除去する工程の前後どちらに行っても良い。但し、該工程の後に除去すれば、配線バターン403の汚染の抑制を図ることができるので好ましい態様となる。

【0098】最後に図6(d)に示すように、取り出し電極404の露出された先端に、第2の半導体チップ402をフリップチップ実装して、本実施の形態にかかる半導体装置を得ることができる。なお、この場合の実装も、図2(b)において第1の半導体チップ201を配線バターン203に実装したときと同様にして行うことができる。この実装においても、少なくとも第2の半導体チップ402と取り出し電極404の露出した先端との間には封止のための樹脂を注入するのが好ましい。

【0099】(実施の形態3) 本発明の実施の形態3にかかる半導体装置およびその製造方法について図7を参照しながら説明する。図7は本発明の実施の形態3にかかる半導体装置およびその製造方法の一例を示す断面図であり、工程ごとに示している。なお、図7に示す半導体装置は図1に示す半導体装置と構造的には同一のものであるが、製造方法の点で異なっている。また、特に説明の無い限り、本実施の形態で用いられている材料は実施の形態1で用いられたものと同様であり、同じ呼称の構成部材は実施の形態1で示したものと同様の機能を持つ。

【0100】図7(a)に示すように、最初の工程において、キャリア層507の上に配線バターン503を形成し、配線バターン503上に第1の半導体チップ501をフリップチップ実装し、第1の半導体チップ501の全部が埋設されるようにキャリア層507の上に絶縁層505を形成する。本実施の形態では、実施の形態1と異なり、取り出し電極504の形成は絶縁層505の形成の後に行われる。

【0101】なお、同図(a)の例では、キャリア層507の上には剥離層508が、キャリア層507を後で剥離し易いように設けられており、配線バターン503は剥離層508の表面に形成されている。絶縁層505は第1の半導体チップ501の一部のみが埋設されるように、例えば第1の半導体チップ501の背面が露出されないように形成しても良い。第1の半導体チップ501の電極には金属パンプ506が形成されており、第1の半導体チップ501は図2の例と同様にしてフリップチップ実装されている。

【0102】次に、図7(b)に示すように、第2の半導体チップ502を設置したときに第2の半導体チップ502の電極と対向する絶縁層505上の位置から、少なくとも配線バターン503が露出するまで、絶縁層505に孔509を形成する。孔509は、孔内部に導電性材料を充填したときに、充填された導電性材料と配線バターン503とが電気的に接続されるように形成されていれば良い。よって、孔509は配線バターン503を貫通するように形成されていても良い。なお、孔509が配線バターン503を貫通するようにする場合は、キャリア層507および剥離層508は予め剥離しておくのが好ましい。

【0103】孔509を形成する方法としては、例えば、レーザ加工が好ましい方法として挙げられる。レーザ加工によれば、微細なピッチで孔509を形成することができ、削り屑が発生しないという利点がある。レーザ加工に用いるレーザは特に限定されないが、例えば、配線バターン503を貫通しないように孔509を形成するのであれば、炭酸ガスレーザを用いるのが好ましい。配線バターン503を貫通するように孔509を形成するのであればエキシマレーザを用いるのが好まし

い。このようなレーザを用いることにより加工が容易となる。

【0104】更に、図7(c)に示すように、形成された孔509に導電性材料を充填して第2の半導体チップ502と配線パターン503とを接続する取り出し電極504を形成する。導電性材料としては、金、銀、銅、ニッケル、スズ、鉛といった金属材料やこれらの合金材料、導電性樹脂組成物等が挙げられる。導電性材料の充填方法としては、導電性材料として金属材料や合金材料を用いるのであれば、メッキ法が挙げられる。導電性樹脂樹脂組成物を用いるのであれば、スクリーン印刷法が挙げられる。スクリーン印刷によるときは充填後に加熱を行って導電性樹脂組成物を硬化させる必要がある。

【0105】次に、図7(d)に示すように、キャリア層507と剥離層508とを剥離する。この工程により、配線パターン503と、第1の半導体チップ501と、取り出し電極504と、第1の半導体チップ501および取り出し電極504を埋設する絶縁層505とかなる構造を得ることができる。

【0106】最後に図7(e)に示すように、取り出し電極504の先端に第2の半導体チップ502をフリップチップ実装して、本実施の形態にかかる半導体装置を得ることができる。

【0107】なお、本実施の形態においても、実施の形態2と同様に、図7(c)に示す取り出し電極504を形成する工程の後であって、図7(e)に示す第2の半導体チップ502をフリップチップ実装する前に、絶縁層505の上面側から絶縁層505と第1の半導体チップ501とに除去加工を行ってこれらの厚みを小さくすることができる。なお、この場合は、取り出し電極504の先端の一部に対しても同時に除去加工を行う。

【0108】(実施の形態4) 本発明の実施の形態4にかかる半導体装置およびその製造方法について図8を参照しながら説明する。図8は本発明の実施の形態4にかかる半導体装置およびその製造方法の一例を示す断面図であり、工程ごとに示している。特に説明の無い限り、本実施の形態で用いられている材料は実施の形態1で用いられたものと同様であり、同じ呼称の構成部材は実施の形態1で示したものと同様の機能を持つ。

【0109】図8(a)の例に示すように、最初の工程では、キャリア層607の上に配線パターン3を形成し、第1の半導体チップ601が配線パターン603にフリップチップ実装されたときに第1の半導体チップ601の周縁の外側に位置する配線パターン603上の部分に、上方に向けて突出する取り出し電極604を形成する。この工程は図2(a)と同様に行われており、キャリア層607の上には剥離層608が設けられている。また、配線パターン603と取り出し電極604は図3～図5に示すいずれかの方法によって形成されている。

【0110】また、図8(b)に示すように、図8(a)に示す工程と平行して、第1の半導体チップ601の背面と第2の半導体チップ602の電極面とを、第2の半導体チップ602の電極が露出するように接着する。接着方法は特に限定されるものではなく、例えば接着ペーストのボッティングによる接着方法や、熱圧着シートを用いた接着方法等が挙げられる。図8(b)の例では熱圧着シート610が用いられている。このように第1の半導体チップ601と第2の半導体チップ602とを実装前に予め接着しておけば、実装時の取り扱いが容易となり、半導体装置の機械的強度の向上を図ることができる。

【0111】次に、図8(c)に示すように、第1の半導体チップ601を配線パターン603上に、第2の半導体チップ602を取り出し電極604の先端にそれぞれフリップチップ実装する。図8(c)の例では、フリップチップ実装は、実施の形態1と同様に、第1の半導体チップ601の電極および第2の半導体チップ602の電極に金属バンプ606を設け、導電性接着剤を介して行われている。なお、本実施の形態においても、実施の形態1と同様に、導電性接着剤の代わりにACFやACP、更にはNCFまたはNCPを用いることもできる。

【0112】本実施の形態においても実施の形態1と同様に、第1の半導体チップ601と配線パターン603との接続部分や、第2の半導体チップ602と取り出し電極604との接続部分を、樹脂により封止しておくこともできる。このような樹脂による封止を行えば、後の工程で第1の半導体チップ601および第2の半導体チップ602を絶縁層605に埋設する際に、これら半導体チップに与えられるダメージを少なくすることができます。更に埋設時の圧力によるこれら半導体チップの位置ズレの抑制を図ることもできる。また、第1の半導体チップ601と第2の半導体チップ602とが接着されているため、樹脂の硬化収縮により、第2の半導体チップ602の電極に形成された金属バンプ606を取り出し電極604との接続をより強固とできる。

【0113】次に、図8(d)～(e)に示すように、キャリア層607の上に絶縁層605を形成する。具体的には、図8(d)に示すように、未硬化のシート状の絶縁物609を位置合わせし、図8(e)に示すように、これを加熱・加圧して絶縁層605を形成する。図8(d)～(e)の例では、絶縁層605は剥離層608の表面に形成されている。また、絶縁層605は、第1の半導体チップ601、第2の半導体チップ602、配線パターン603および取り出し電極604の全部が埋設されるように形成されている。なお、図8(d)～(e)に示す工程は、図2(c)～(d)で示した工程と同様にして行われている。よって、図2(c)～(d)で示した形成材料や、加熱・加圧方法を用いるこ

とができる。

【0114】最後に、図8(f)に示すように、キャリア層707と剥離層708とを剥離して、本実施の形態にかかる半導体装置を得ることができる。本実施の形態で示す半導体装置は、第1の半導体チップ701と第2の半導体チップ702とが接着されている点で、実施の形態1~3で示した半導体装置と異なっている。

【0115】(実施の形態5) 本発明の実施の形態5にかかる半導体装置およびその製造方法について図9~10を参照しながら説明する。図9は、本発明の実施の形態5にかかる半導体装置の製造方法における前半の工程を示す断面図である。図10は、本発明の実施の形態5にかかる半導体装置およびその製造方法における後半の工程を示す断面図である。特に説明の無い限り、本実施の形態で用いられている材料は実施の形態1で用いられたものと同様であり、同じ呼称の構成部材は実施の形態1で示したものと同様の機能を持つ。

【0116】最初に、図9(a)に示すように、配線基板707の上に複数の配線パターン703を形成する。配線パターン703の形成は実施の形態1と同様にして行うことができる。配線基板707は、実施の形態1~4におけるキャリア層としての役目を果たすものであり、内部に2層以上の内部配線(図示せず)を有している。配線基板707における配線パターン703が形成されていない面(裏面)には、接続パッド708が形成されており、半導体チップの外部取り出し電極として機能する。配線パターン703と内部配線との間および内部配線と接続パッド708の間は、メッキスルーホールやインナーピアホールによって接続されている。なお、本実施の形態においては、配線パターン703と接続パッド708とが内部配線を介すことなく直接接続された態様であっても良い。接続パッド708の配列は限定されるものではなく、マトリクス状に配列した場合はパッド数(入出力端子数)の増加を図ることができる。

【0117】次に、図9(b)に示すように、第1の半導体チップ701が配線パターン703にフリップチップ実装されたときに第1の半導体チップ701の周縁の外側に位置する配線パターン703上の部分に、上方に向けて突出する取り出し電極704を形成する。取り出し電極704には、後の工程で、第2の半導体チップ702がフリップチップ実装される。取り出し電極704の先端は第2の半導体チップ702の電極と対向している。取り出し電極704は、実施の形態1で示した方法によって、同様の形成材料を用いて形成できる。

【0118】次に、図9(c)に示すように、各配線パターン703上に第1の半導体チップ701を金属バンブ706を介してフリップチップ実装する。このフリップチップ実装は実施の形態1と同様にして行うことができる。

【0119】その後、図9(d)に示すように、配線基

板707の上に、全ての第1の半導体チップ701、配線パターン703および取り出し電極704を埋設するように絶縁層705を形成する。絶縁層705は、図2(c)~(d)で示した工程と同様に、未硬化のシート状の絶縁物を位置合わせし、これを加熱・加圧して形成することができる。このため、図2(c)~(d)で示した形成材料や、加熱・加圧方法を用いることができる。

【0120】次に、図10(e)に示すように、絶縁層705の上面側から絶縁層705と各第1の半導体チップ701とに除去加工を行ってこれらの厚みを小さくして、取り出し電極704の先端を絶縁層705から露出させる。なお、このとき取り出し電極704の先端の一部に対しても同時に除去加工を行ってもよい。これにより、各第1の半導体チップ701の背面と絶縁層705の上面とは同一面となり、第1の半導体チップ701の背面は絶縁層705から露出した状態になる。これにより、図6(c)に示された構造体と同様の構造体が絶縁層705を共有した状態で複数個形成される。各構造体はそれぞれ別の半導体装置を構成するものである。この工程は図6(b)で示した工程と同様の工程であり、このような除去加工としても、例えば、研磨、切削、切断等の方法が挙げられる。

【0121】更に、図10(f)に示すように、各取り出し電極704の上面に第2の半導体チップ702をフリップチップ実装して、絶縁層705を共有した状態の複数の半導体装置を得ることができる。このフリップチップ実装も実施の形態1と同様にして行うことができる。従って、少なくとも第2の半導体チップ702と取り出し電極704との間には、封止のため樹脂を注入するのが好ましい。

【0122】次に、図10(g)に示すように、配線板701の裏面に設けられた各接続パッド708の表面に実装用の外部接続端子としてのハンダボール709を形成する。なお、本実施の形態において外部接続端子はハンダボールに限定されず、ハンダボールの代わりに電極パッド708の周辺に配置されるリードを用いることもできる。このように配線パターン703と接続された外部接続端子が設けられると、半導体装置をBGA(Ball Grid Array)として使用でき、リフロー等の設備を用いることで容易に外部の基板に実装することできる。

【0123】最後に、図10(h)に示すように、絶縁層705を共有した状態の複数の半導体装置を、半導体装置ごとに分離する。分離は、例えば、金型による打ち抜きやレーザによる切断等によって行うことができる。なお、分割は、ハンダボール709の形成前であっても良い。このように本実施の形態により半導体装置を作製すれば、安価に一度に多数の半導体装置を得ることができる。

【0124】(実施の形態6) 本発明の実施の形態6にかかる半導体装置およびその製造方法について図11を参照しながら説明する。図11は、本発明の実施の形態6にかかる半導体装置およびその製造方法の一例を示す断面図であり、工程ごとに示している。特に説明の無い限り、本実施の形態で用いられている材料は実施の形態1で用いられたものと同様であり、同じ呼称の構成部材は実施の形態1で示したものと同様の機能を持つ。

【0125】最初の工程では、図11(a)に示すように、金属層907の上に第1の半導体チップ901をフリップチップ実装する。金属層907は、後の工程で配線バターン903へと加工される。金属層907は配線バターン903へと加工できるものであれば特に限定されるものではない。金属層907としては、例えば金属箔を用いることができ、特に銅箔を用いるのが好ましい。銅箔はコストが低く、電気伝導性も高いためである。図11(a)の例では、第1の半導体チップ901は金属バンプ906を介して金属箔907へフリップチップ実装されている。第1の半導体チップ901の実装は、実施の形態1と同様にして行うことができる。

【0126】次に図11(b)に示すように、第1の半導体チップ901が埋設されるように金属層907の上に絶縁層905を形成する。図11(b)の例では、実施の形態1で示した図2(c)～(d)と同様に、未硬化のシート状の絶縁物を位置合わせし、これを加熱加圧することにより形成されている。

【0127】次に、図11(c)に示すように、第1の半導体チップ901と金属層907との接続部分が除去されてしまわないように、金属層907をエッチングして配線バターン903を形成する。

【0128】更に、図11(d)に示すように、第2の半導体チップ902を設置したときに、第2の半導体チップ902の電極と対向する絶縁層905上の位置から、少なくとも配線バターン903が露出するまで、絶縁層905に孔908を形成する。図11(d)の例では、孔908の形成は実施の形態3で示した図7(b)と同様にして行われている。孔908は、図7(b)の例と同様に配線バターン903を貫通するように形成されたものであっても良い。

【0129】その後、図11(e)に示すように、形成された孔908に導電性材料を充填して第2の半導体チップ902と配線バターン903とを接続する取り出し電極904を形成する。導電性材料としては、実施の形態3で述べた金属材料、合金材料、導電性樹脂組成物等を用いることができる。この工程により、配線バターン903と、第1の半導体チップ901と、取り出し電極904と、第1の半導体チップ901および取り出し電極904を埋設する絶縁層905とからなる構造体を得ることができる。

【0130】最後に図11(f)に示すように、取り出

し電極904の先端に第2の半導体チップ902をフリップチップ実装して、本実施の形態にかかる半導体装置を得ることができる。第2の半導体チップ902も金属バンプ906を介して取り出し電極904にフリップチップ実装されている。

【0131】なお、本実施の形態においても、実施の形態2と同様に、図11(e)に示す取り出し電極904を形成する工程の後であって、図11(f)に示す第2の半導体チップ902をフリップチップ実装する前に、絶縁層905の上面側から絶縁層905と第1の半導体チップ901とに除去加工を行ってこれらの厚みを小さくすることができる。この場合は、取り出し電極904の先端の一部に対しても同時に除去加工を行う。

【0132】(実施の形態7) 本発明の実施の形態7にかかる半導体装置およびその製造方法について図12を参照しながら説明する。図12は、本発明の実施の形態7にかかる半導体装置およびその製造方法の一例を示す断面図であり、工程ごとに示している。特に説明の無い限り、本実施の形態で用いられている材料は実施の形態1で用いられたものと同様であり、同じ呼称の構成部材は実施の形態1で示したものと同様の機能を持つ。

【0133】最初に、図12(a)の例に示すように、複数の構造体(800、810、820)を用意する。各構造体(800、810、820)は、配線バターン(803、813、823)と、配線バターン上に実装される半導体チップ(801、811、821)と、半導体チップ(801、811、821)の一部または全部を埋設する絶縁層(805、815、825)とを少なくとも有している。各構造体のうち構造体820が最上層、構造体810が中間層、構造体801が最下層となる。また、図12の例から分かるように、上層に位置する構造体の半導体チップの電極面の面積は、それより下層に位置する構造体の半導体チップの電極面の面積よりも大きくなっている。

【0134】最上層となる構造体820以外の各構造体(800、810)は、更に、半導体チップ(801、810)の周縁より外側に位置する配線バターン(803、813)上の部分から上方向に突出し、且つ、一部が絶縁層(805、815)から露出する取り出し電極(804、814)を有している。後の工程において、取り出し電極804は絶縁層805から露出した部分で上層に位置する構造体810の配線バターン813と接続される。取り出し電極814は絶縁層815から露出した部分で上層に位置する構造体820の配線バターン823と接続される。

【0135】構造体800および構造体810は図6(c)で示したものと同様のものであり、図6(a)～(c)に示した工程を用いて形成することができる。但し、本実施の形態において構造体800および構造体810は、図2(a)～(e)に示す工程や、図7(a)

～(d)に示す工程によって形成されたものであっても良い。また、図2(a)～(e)に示す工程や図7(a)～(d)に示す工程と、絶縁層(805、815)の上面側から絶縁層(805、815)と半導体チップ(801、811)とに除去加工を行ってこれらの厚みを小さくする工程とで形成されたものであっても良い。更に構造体800および構造体810として、図11(e)で示した他の半導体装置を構成する構造体と絶縁層を共有した構造体を用いることもできる。この場合は積層後に半導体装置ごとに分離する必要がある。

【0136】なお、図12の例では、構造体800および構造体810において半導体チップ(801、802)の背面は絶縁層(805、815)から露出しているが、本実施の形態においては取り出し電極(804、814)のみが絶縁層(805、815)から露出していれば良く、半導体チップ(801、802)の背面は絶縁層(805、815)に埋設されていても良い。

【0137】最上層に位置する構造体820は、取り出し電極を形成しない以外は構造体(800、810)と同様にして形成できる。例えば、図6(a)～(c)に示した工程に準じて、キャリア層(図示せず)の上に配線パターン823を形成し、半導体チップ821を配線パターン823上にフリップチップ実装し、半導体チップ821が埋設されるようにキャリア層の上に絶縁層825を形成し、絶縁層825の上面側から絶縁層825と半導体チップ821とに除去加工を行ってこれらの厚みを小さくし、キャリア層を剥離して形成できる。

【0138】また、構造体820として、図11(e)で示した他の半導体装置を構成する構造体と絶縁層を共有した構造体を用いることもできる。なお、本実施の形態においては最上層に位置する構造体820にも取り出し電極を形成しても良い。構造体820に取り出し電極を形成した場合は、後で必要に応じて更に多層化することが可能となる。

【0139】次に、図12(b)に示すように、各構造体(800、810、820)の半導体チップ(801、811、821)の電極面を同一方向に向け、構造体801の取り出し電極804が構造体810の配線パターン813と接続され、構造体810の取り出し電極814が構造体820の配線パターン823と接続されるようにして、これら構造体を配置する。

【0140】図12(b)の例では、構造体と構造体との間には未硬化の絶縁シート(802、812)が挟み込まれる。各絶縁シート(802、812)にはそれぞれ導電路(807、817)が設けられている。絶縁シート802に設けられた導電路807により、構造体800の取り出し電極804と構造体810の配線パターン813とが電気的に接続される。絶縁シート812に設けられた導電路817により、構造体810の取り出し電極814と構造体820の配線パターン823とが

電気的に接続される。

【0141】絶縁シート(802、812)における導電路(807、817)以外の部分の形成材料としては、構造体の絶縁層(805、815、825)の形成材料や、回路基板用プリプレグを利用することができる。回路基板用プリプレグは、ガラス繊維やアラミド不織布に、熱硬化性樹脂であるエポキシ樹脂を含浸させて形成したものであり、加熱により未硬化状態から硬化状態となる。

10 【0142】導電路(807、817)はシートに貫通孔を形成し、そこに導電性ペーストを充填して形成されている。導電性ペーストとしては、金、銀、銅等の金属粉末をエポキシ樹脂などの熱硬化性樹脂と混練してなるものが利用できる。このうち金属粉末として銅を用いたものが、導電性が良好で、マイグレーションを抑制できる点で好ましい。熱硬化性樹脂としては液状のエポキシ樹脂を用いるのが耐熱性の面で好ましい。

【0143】最後に図12(d)に示すように、各構造体(800、810、820)および未硬化の絶縁シート(802、812)を積層した後、未硬化の絶縁シート(807、817)を加熱・加圧して硬化することにより、各構造体は接着されて一体となり、本実施の形態にかかる半導体装置が完成する。

【0144】なお、図12の例では3個の構造体を積層して半導体装置が構成されているが、本実施の形態においてはこの例に限定されず、例えば4個以上の構造体を積層して半導体装置を構成することもできる。また、本実施の形態では、最下層の構造体800の配線パターン803が、図9および図10で示した半導体装置と同様に、多層配線および外部接続端子を備えた回路基板に設計されたものであっても良い。

【0145】
【実施例】以下、実施例を用いて本発明の半導体装置およびその製造方法について具体的に説明する。

【0146】(実施例1) 実際に図6に示す製造工程に従って、図6(d)に示す半導体装置の作製を行った。転写バターン形成材については図5に示す工程に従って作製している。

【0147】最初に、キャリア層上に剥離層を介して、配線バターンとなる第2の金属層を形成する(図5(a)参照)。具体的には、先ずキャリア層となる第1の金属層として、厚み70μmの電解銅箔(キャリア銅箔)を準備する。電解銅箔は、銅塩原料をアルカリ性浴に溶解し、これに高電流密度の電流を流して回転ドラムに電着を行い、電着によって形成された銅メッキ層を連続的に巻き取って作製する。この時、メッキ電流密度、ドラム回転速度などを制御することにより、任意の厚みの銅箔を作製することができる。更に、キャリア層となる銅箔の表面にニッケルーリン合金で構成された薄い剥離層を形成し、この剥離層上に銅メッキを行って第2の

金属層（銅層）を形成する。銅メッキは層の厚みが12μmになるまで行う。

【0148】次に、この第2の金属層上に公知のアディティブ法により取り出し電極を作製する（図5（b）～（d）参照）。具体的には、取り出し電極のパターン形状の露出部を残して第1のメッキレジスト膜を形成し（図5（b）参照）、キャリア層、剥離層および第2の金属層を給電層として、電解メッキ法により第3の金属層としての銅を露出部に成長させる（図5（c）参照）。第1のメッキレジスト膜を除去した後（図5（d）参照）、更に取りだし電極の表面と、第2の金属層における配線パターンとなる領域とを残して第2のメッキレジスト膜を形成する（図5（e）参照）。

【0149】次に、取りだし電極の形成と同様に電解メッキ法により、露出部にニッケル（図5（e）参照）、金の順に析出させ（図5（f）参照）、その後にメッキレジスト膜を除去する（図5（g）参照）。更に、この配線パターン形状の金メッキ層をエッチングマスクとして、塩化鉄第2水溶液により第2の金属層（銅層）を化学エッチングして、配線パターンを形成する（図5（h）参照）。以上の工程により作製された転写パターン形成材は、図5（h）と同様の構造を有しており、取り出し電極における配線パターンからの突起高さは約120μmであった。

【0150】次に、このようにして作製した銅メッキ層による配線パターンを取りだし電極を備えた転写パターン形成材上に、第1の半導体チップをフリップチップ実装する。第1の半導体チップとしては厚みが0.3mmと、大きさが10mm×10mmのものを用いた。実装方法は、まず第1の半導体チップのアルミ電極に、25μm径の金ワイヤを用いてボンディングし、2段突起状の金パンプを形成する。形成した金パンプは高さが一定しないのでレベリングを行う。レベリングは第1の半導体チップ上の金パンプ群に金型を押し当て、一定圧力で加圧して行う。

【0151】更に、金パンプが形成された第1の半導体チップを一定厚みにスキージングした導電性ペースト面に金パンプ側から押し当て、2段突起状の金パンプ先端部に導電性ペーストを塗布する。金パンプが形成され、金パンプの先端部に導電性ベーストとが塗布された半導体チップを、キャリア層上に形成された配線パターン上に位置合わせて重ね、さらに加熱により導電性ペーストを硬化させ、金パンプ-配線パターン間を導電性ペーストを介して電気的に接続する。

【0152】次いで、第1の半導体チップと配線パターンを有するキャリア層との間を液状の樹脂で封止した。この封止のための樹脂としては、液状エポキシ樹脂に熱膨張係数を制御するためのシリカ粒子を混合したものを使いた。封止は、この液状の樹脂を第1の半導体チップと配線パターンと間の隙間に滴下し、その表面張力を利

用して行った。

【0153】このようにして作製した半導体チップを実装した配線パターンを有するキャリア層の上に、未硬化のシート状の絶縁物を重ね合わせ、加熱加圧して半導体チップをこの混合物に埋設して絶縁層を形成する（図6（a）参照）。本実施例では、シート状の絶縁物としては、無機フィラーと液状の熱硬化性樹脂とを混合してなるものを用いている。

【0154】具体的には、無機フィラー：A12O3

10 (90重量%、昭和電工社製AS-40、球状、平均粒径12μm)と、熱硬化性樹脂：液状エポキシ樹脂(9.5重量%、日本レック社製EF-450)と、カーボンブラック(0.2重量%、東洋カーボン社製)と、カップリング剤(0.3重量%、味の素社製チタネット系46B)と、粘度調整用のメチルエチルケトンとを混合して形成している。混合は、所定量の無機フィラーと液状エポキシ樹脂とを容器に投入し、本容器ごと攪拌混練機によって混合することによって行った。

【0155】このペースト状の混合物は離型フィルム上

20 にドクターブレード法により造膜してシート状とする。なお、離型フィルムとしては、表面にシリコンによる離型処理を施されたポリエチレンテレフタレートフィルム(厚み：7.5μm)を用いている。更に、このシート状の混合物を温度120℃で15分間加熱して乾燥させる。なお、エポキシ樹脂は、硬化開始温度が130℃であるため、この熱処理条件下では、未硬化状態(Bステージ)であり、以降の工程で更に加熱することにより再度溶融させることができる。このようにして形成したシート状の絶縁物は、粘着性がなく、未硬化のものである。また、厚みを測定したところ500μmであった。

【0156】半導体チップを絶縁層に埋設するための加熱・加圧は、150℃に加熱した金型に半導体チップを実装したキャリア層をセットし、その上にシート状の混合物を配置し、金型で加圧(100Kg/cm²)し、この状態を15分間保持することによって行っている。その後、シート状の混合物の離型フィルムを剥離する。よって、図6（a）に示すものを得ることができる。

【0157】次に、絶縁層の上面側から絶縁層と第1の半導体チップとに研磨を行ってこれらの厚みを小さくする（図6（b）参照）。研磨はラッピングマシンを用いて絶縁層の厚みが170μmになるまで行う。なお、研磨はキャリア層および剥離層を貼り合わせた状態で行っている。キャリア層と剥離層とは、研磨後に洗浄を行ってから剥離する（図6（c）参照）。なお、キャリア層は銅箔であるため、絶縁層との接触面が光沢面となっているため、絶縁層を形成している混合物が硬化状態であっても容易に剥離することができる。

40 【0158】最後に、取り出し電極における絶縁層からの露出した部分に、第2の半導体チップをフリップチップ実装する。第2の半導体チップとしては、厚みが0.

3 mm^t、大きさが15 mm×15 mmのものを用いた。第2の半導体チップにも第1の半導体チップと同様に金パンプを形成し、レベリングし、更に導電性ベーストを金パンプの先端に塗布した。第2の半導体チップの取り出し電極へのフリップチップ実装は、金パンプを絶縁層から露出した取り出し電極の先端に位置合わせし、さらに加熱して導電性ベーストを硬化させ、金パンプと取り出し電極との間を導電性ベーストを介して電気的に接続することにより行っている。なお、第2の半導体チップと取り出し電極との間も液状の樹脂により封止した。

【0159】以上の工程により図6に示した半導体装置と同様の構造を有する半導体装置を得ることができた。次に、得られた半導体装置の信頼性評価を行うため、最高温度を260°Cに設定してリフロー試験(10秒間)を行った。結果、半導体装置には外観上のクラックなどは発生しなかった。更に、超音波探傷装置による観察も行ったが、半導体チップとパッケージとの界面に特に異常は認められなかった。また、リフロー前後での接続抵抗値の変化量也非常に小さかった。

【0160】(実施例2)図12に示す製造工程に従って、図12(c)に示す半導体装置の作製を行った。最上層となる構造体以外の構造体は、実施例1における第2の半導体チップを配置するまでの工程に従って作製した。最上層となる構造体は、取り出し電極を形成しないで、実施例1における第2の半導体チップを配置するまでの工程に従って作製した。なお、最上層となる構造体以外の構造体において、取り出し電極は、それより上層にある構造体の半導体チップの電極位置に対応するように形成している。

【0161】各構造体間を固着させるための絶縁シートとしては、回路基板用プリプレグで形成されたシートに導電性ベーストとからなる導通路を形成してなるものを用いた。回路基板用プリプレグとしては、ガラス繊布にエポキシ樹脂を含浸させてなるものであって、Bステージ状態のものを用いた。絶縁シートの厚みは80 μmである。導通路は、下層に位置する構造体の取り出し電極に対応する位置に炭酸ガスレーザにより直径0.1 mmの貫通孔を形成し、この貫通孔にピアホール充填用導電性ベーストを充填して形成した。なお、導電性ベーストとしては、銅の球形状の金属粒子85重量%と、ビスフェノールA型エポキシ樹脂(エピコート828 油化シェルエポキシ社製)3重量%と、グルシジルエステル系エポキシ樹脂(YD-171 東都化成社製)9重量%と、アミンアダクト硬化剤(MY-24 味の素社製)3重量%とを三本ロールにて混練したものを用い、充填はスクリーン印刷法によって行った。

【0162】このようにして作製した二枚の絶縁シートを構造体と構造体との間に介在させ、位置合わせし(図12(b)参照)、これらを熱プレスで加熱・加圧した

(プレス温度: 170°C、圧力: 50 kg/cm²、時間: 60分間)。これにより、プリプレグ中の熱硬化樹脂が加熱により硬化するため、構造体は絶縁シートに接着される。同時に絶縁シートに充填された導電性ベースト中の熱硬化性樹脂も硬化し、層間の電気接続が行われる。以上の工程により、本発明の多層化した高密度な半導体装置を得ることができる。

【0163】次に、本実施例で得られた半導体装置についても、実施例1と同様のリフロー試験を10回行った。結果は実施例1と同様に、半導体装置に外観上のクラックは発生しておらず、超音波探傷装置によても半導体チップとパッケージとの界面に異常は認められなかった。更に、リフロー前後での接続抵抗値の変化量也非常に小さかった。

【0164】

【発明の効果】以上説明したように、本発明の半導体装置によれば、積層時に上側となる半導体チップと配線パターンとの接続にワイヤーボンディングを用いなくてもよく、半導体チップの周囲にワイヤーボンディング用のスペースを設ける必要がない。よって、従来よりも半導体装置の小型化を図ることが可能となる。

【0165】更に、上側となる半導体チップの電極と配線パターン上の入出力端子電極を最短距離で電気的に接続できるため、接続長を短くできる。よって、高速動作させる半導体チップを用いた場合でもインダクタンス成分の影響を小さくすることができ、高周波化が可能となる。

【0166】また、フリップチップ実装された第1の半導体チップの厚みを樹脂で埋設した後に研磨等により薄くでき、更にこの半導体チップの上側に位置する半導体チップと配線パターンとの接続をワイヤーボンディングによらずに取り出し電極によって接続するため、従来よりも薄型化した半導体装置がより容易に提供できる。

【0167】さらに、本発明の半導体装置においては、薄型化された半導体チップで多層化を図ることもできるので、従来よりもさらに高密度化した半導体装置を実現することもできる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかる半導体装置を示す断面図。

【図2】図1に示す本発明の実施の形態1にかかる半導体装置の製造方法の一例を工程ごとに示す断面図。

【図3】図1に示す半導体装置の配線パターンおよび取り出し電極を形成する方法の一例を示す断面図。

【図4】図1に示す半導体装置の配線パターンおよび取り出し電極を形成する方法の一例を示す断面図。

【図5】図1に示す半導体装置の配線パターンおよび取り出し電極を形成する方法の一例を示す断面図。

【図6】本発明の実施の形態2にかかる半導体装置およびその製造方法の一例を示す断面図。

【図7】本発明の実施の形態3にかかる半導体装置およびその製造方法の一例を示す断面図。

【図8】本発明の実施の形態4にかかる半導体装置およびその製造方法の一例を示す断面図。

【図9】本発明の実施の形態5にかかる半導体装置の製造方法における前半の工程を示す断面図。

【図10】本発明の実施の形態5にかかる半導体装置およびその製造方法における後半の工程を示す断面図。

【図11】本発明の実施の形態6にかかる半導体装置およびその製造方法の一例を示す断面図。

【図12】本発明の実施の形態7にかかる半導体装置およびその製造方法の一例を示す断面図。

【符号の説明】

100 半導体装置

101、201、401、501、601、701、901 第1の半導体チップ

102、202、402、502、602、702、902 第2の半導体チップ

103、203、303、403、503、603、703、803、813、823、903 配線パターン

104、204、304、404、504、604、704、804、814、904 取り出し電極

105、205、405、505、605、705、805、815、825、905 絶縁層

106、206、306、406、506、606、706、806、816、826、906 金属バンプ

207、301、507、607、707 キャリア層

208、302、508、608、708 剥離層

209、609、709 未硬化のシート状の絶縁物

313 第2の金属層

314 第3の金属層

305、306 エッチングレジスト膜

307 メッキレジスト膜

308 第4の金属層

309 第1のメッキレジスト膜

310 第2のメッキレジスト膜

509、908 孔

800、810、820 構造体

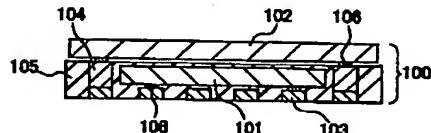
801、811、821 半導体チップ

802、812 絶縁シート

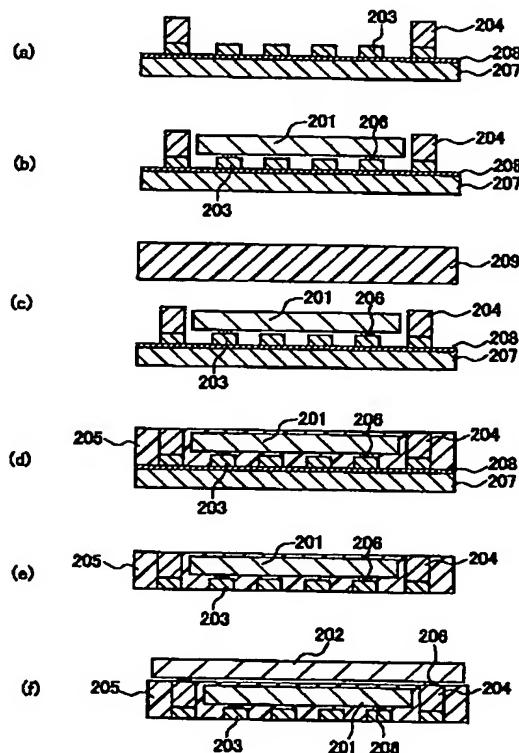
807、817 導電路

907 金属層

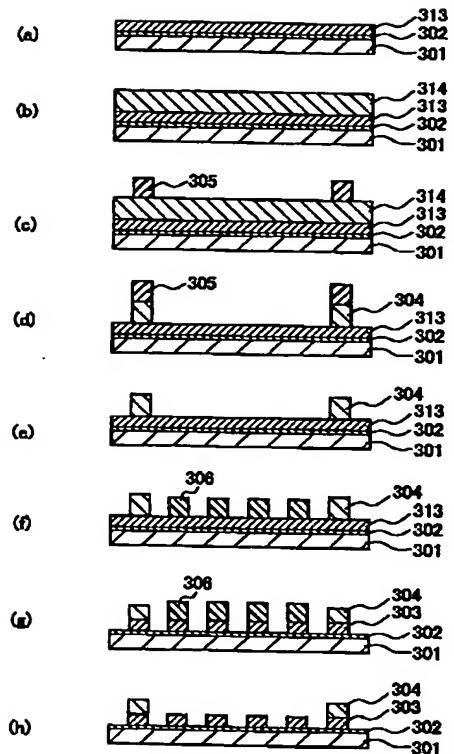
【図1】



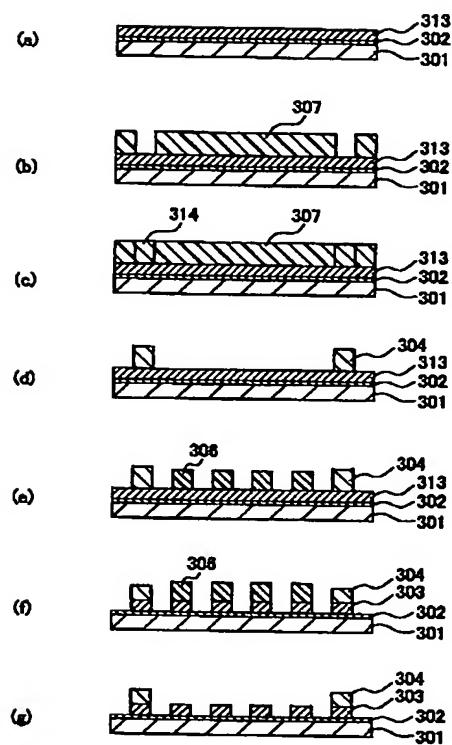
【図2】



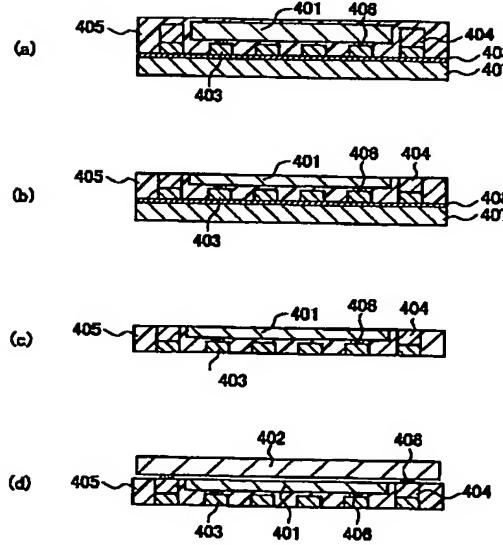
【図3】



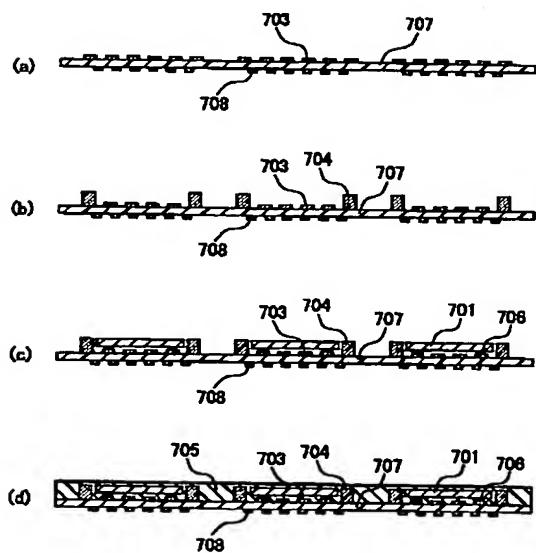
【図4】



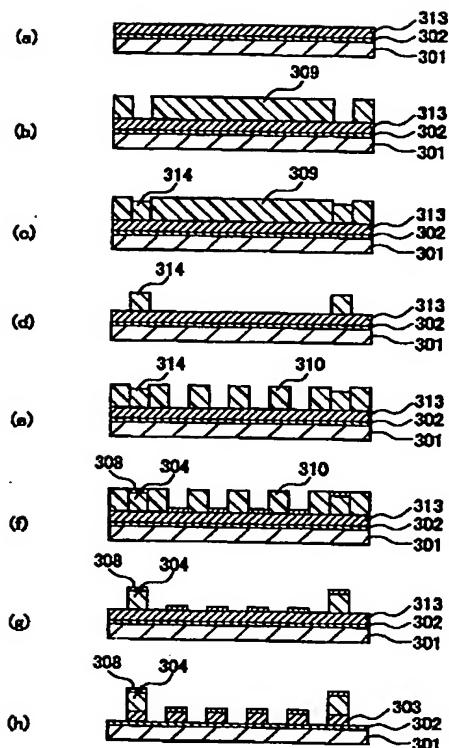
【図6】



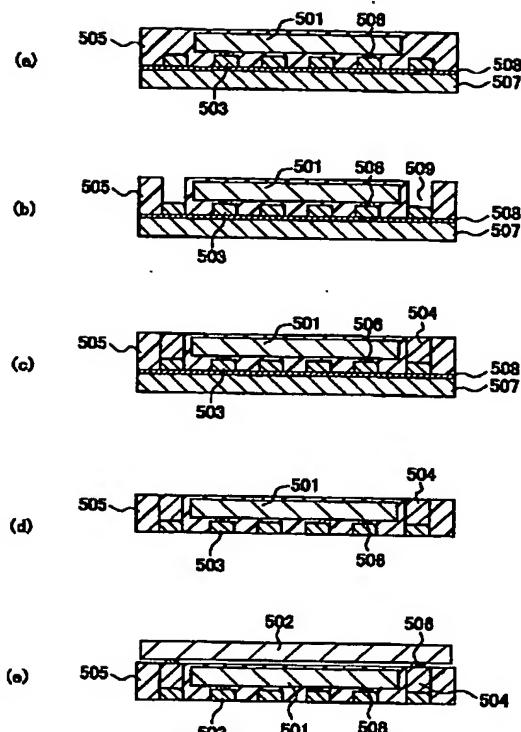
【図9】



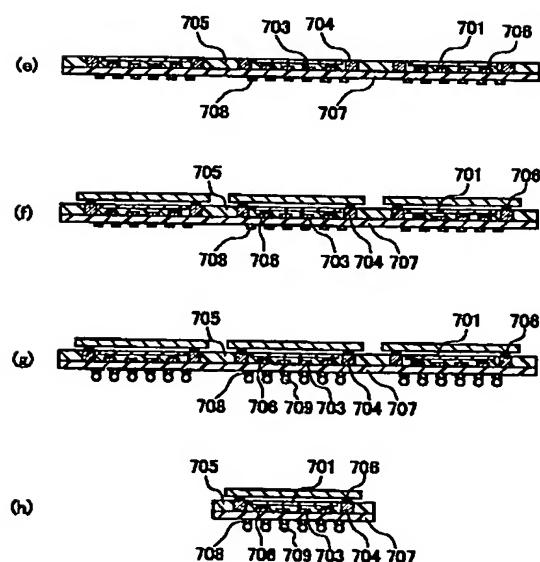
【図5】



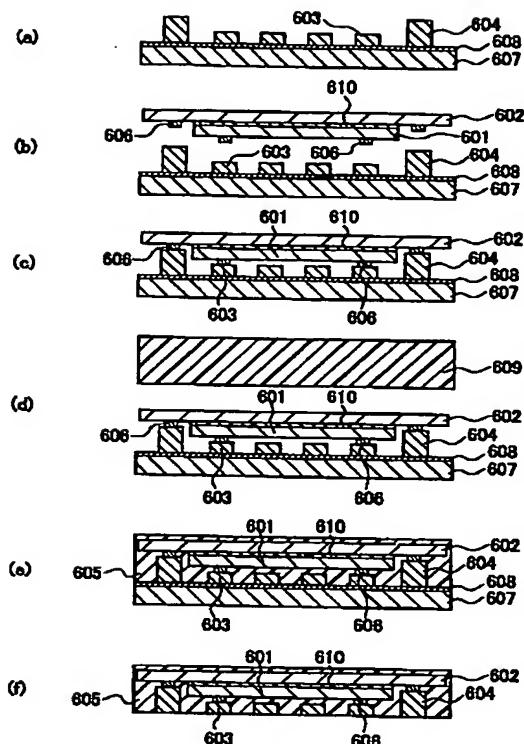
【図7】



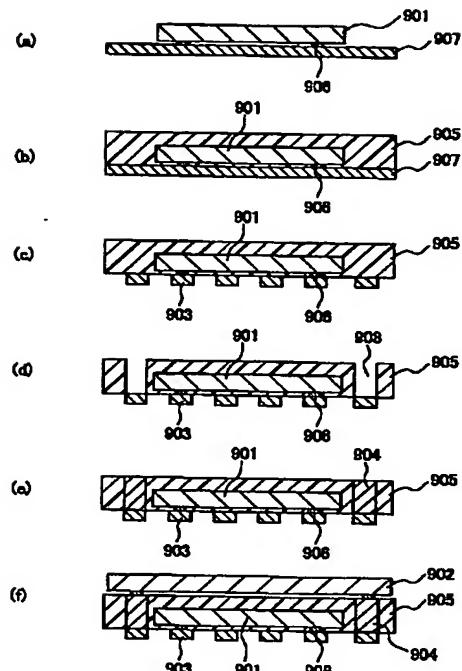
【図10】



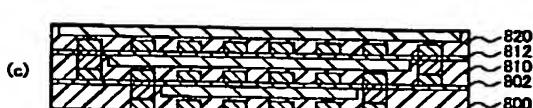
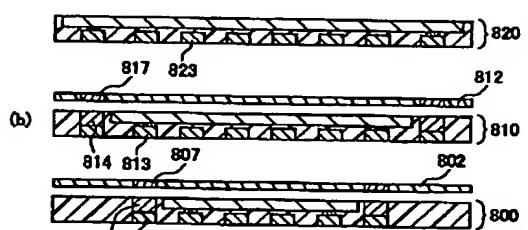
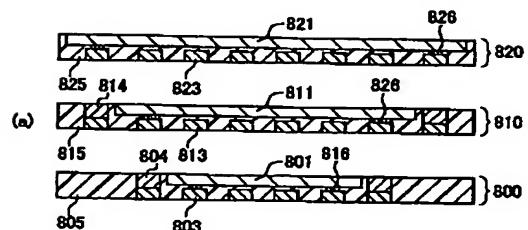
【図8】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.
H 01 L 23/28

識別記号

F I

テーマコード(参考)

(72)発明者 中谷 誠一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 天見 和由
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 朝日 俊行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
F ターム(参考) 4M109 AA01 BA01 BA03 BA05 EA02
EA20 EB03 EB12 EB13 EC03
EC05 GA10
5F061 AA01 BA01 BA03 BA05 FA06